Panorama des processeurs de traitement du signal

1. Introduction

Le traitement numérique du signal occupe une place de plus en plus importante dans tous les domaines de l'électronique, particulièrement en télécommunications et multimédia. De ce fait, l'offre en matière de processeurs de traitement du signal ne cesse de croître et de se diversifier. On présente ici une classification de ces processeurs en fonction de leurs principales caractéristiques architecturales. On s'intéressera tout particulièrement aux dernières nouveautés dans ce domaine, à savoir les processeurs de type VLIW, RISC-DSP, etc. Commençons tout d'abord par quelques rappels.

Le traitement numérique du signal

Il s'agit de l'ensemble des opérations mathématiques appliquées à un signal échantillonné. Généralement, la chaîne de traitement est la suivante:

- Acquisition du signal analogique (capteur) et filtrage.
- Echantillonnage du signal par un convertisseur analogique-numérique (CAN).
- Traitement numérique: filtrage, compression, convolution...
- Restitution du signal sous forme analogique au moyen d'un convertisseur numérique-analogique (CNA).

Pourquoi un traitement numérique

Par rapport aux systèmes analogiques, les systèmes de traitement numérique présentent plusieurs avantages; d'une part, ils permettent de s'affranchir des non linéarités introduites par le traitement analogique: bruits, saturation, distorsion. Ils sont aussi moins sensibles aux conditions extérieures (température, humidité) et au vieillissement. La possibilité de pouvoir reprogrammer les composants permet un changement de fonctionnalité à faible coût. De plus, certaines transformations complexes sont quasiment irréalisables par un système analogique.

Et surtout, le traitement numérique du signal bénéficie des progrès toujours croissants de l'industrie des circuits intégrés; l'accroissement de la densité d'intégration et des vitesses de fonctionnement permettent de concevoir des circuits de plus en plus puissants, de surface réduite et moins coûteux; ces circuits, outre les fonctions assignées au traitement du signal, peuvent inclure d'autres fonctionnalités: fonctions de contrôle, filtres analogiques, C.N.A, C.A.N, ports de communication (série ou parallèle, entre processeurs), timers, PLL... On tend ainsi vers l'intégration sur un simple circuit de chaînes entières de traitement, ce qui simplifie la conception hardware du système global, et réduit sa surface.

Les applications

Autrefois réservé aux domaines de pointe (industrie militaire, médicale), le traitement numérique est aujourd'hui en pleine expansion (taux de croissance du marché de l'ordre de 30% par an). On le retrouve dans de nombreux domaines d'applications:

- *Téléphone cellulaire*	- *Reconnaissance et synthèse vocale*
- *Communication Satellite*	- *Photographie Numérique*
- *Modems*	- *Analyse sismique*
- *Radars, sonars*	- *Commande Industrielle*
- *Vidéoconférence*	- *Traitement d'images*

Les contraintes

Les applications visées en traitement du signal ont en commun un certain nombre de caractéristiques. La première d'entre elles est la contrainte *temps réel*: le système doit traiter les données a la vitesse minimale requise par l'application, ces vitesses pouvant être très élevées.

Les principaux traitements mathématiques à effectuer sont des convolutions, produits matriciels ou transformations complexes (Transformée de Fourier rapide). Ces traitements sont particulièrement gourmands en puissance de calcul, d'où la nécessité de disposer de puissants opérateurs, pour pouvoir effectuer les traitements en temps voulu, et avec la précision requise. De plus, les systèmes doivent être capables de gérer des flots de données très importants.

La faible consommation et l'encombrement sont aussi des points importants, particulièrement pour les applications embarquées. Et bien évidemment. le critère de faible coût reste un élément déterminant.

2. Les architectures de traitement du signal

Les algorithmes de traitement du signal peuvent être traités par plusieurs types d'architecture. Celles-ci peuvent aller du simple microprocesseur bas de gamme à l'ASIC très spécialisé. Cependant, l’implémentation de la plupart des algorithmes entraîne des contraintes difficilement respectables pour des architectures non spécialisées.

- **Microcontrôleur ou microprocesseur bas de gamme**

Ce type de circuit offre des performances faibles, principalement pour les raisons suivantes:

- Opérateurs arithmétiques peu performants (en particulier les multiplications), aucune gestion de la précision (débordement, arrondi).

- Délai important pour le calcul d'adresse ou la gestion des boucles.

- Bande passante mémoire limitée.

- **Microprocesseurs de dernière génération**

Ce sont des processeurs à usage général (*Pentium*, *PowerPC*...) dont les architectures très évoluées peuvent fournir de très bonnes performances en calcul numérique, dues aux caractéristiques suivantes:

- Fréquences d'horloge très élevées (200-300 MHz)

- Opérations arithmétiques performantes (exécution en un cycle).

- Bonne bande passante mémoire (utilisation de mémoire cache).

- Architecture superscalaire, utilisation de techniques d'exécution dynamique (prédiction de branchement, réordonnancement des instructions...).

Aujourd'hui, nombre d'entre eux intègrent dans leur architecture des modules type SIMD destinés au traitement des données multimédia. Citons l'extension MMX d'*Intel,* VIS de *Sun*, MVI d'*Alpha*.

Cependant, l'implémentation des algorithmes T.D.S sur ce type de processeurs est rendue difficile par l'absence d'outils de développement orientés traitement du signal. De plus, l'exécution dynamique entraîne un comportement temporel non déterministe, et donc assez difficilement compatible avec le développement d'une application temps réel. Enfin, la consommation et le rapport coût/performance de ce type de processeur sont supérieurs à ceux des processeurs spécialisés, en particulier dans le cas d'applications virgule fixe.

Notons toutefois que *Motorola* vient d'annoncer pour 1999 son extension multimédia pour *PowerPc*, *Alvitec*, d'une capacité de traitement très supérieure à celle du MMX, et qu'*Intel* prépare de son coté le MMX2. Il y' a donc une volonté réelle de ces grandes fabricants de percer dans le domaine du traitement du signal, et à terme de concurrencer les DSP sur un marché qui leur est pour l'instant réservé.

- **ASICs**

Ce type de circuit est en général utilisé lorsque le traitement désiré nécessite des performances très élevées, que ne peuvent fournir des architectures générales. Dans ce cas, l'architecture implantée est optimisée en fonction de l'algorithme de traitement (architecture systolique par exemple). Cette solution, dans l'absolu la plus performante, souffre de deux inconvénients de taille: le coût et le temps de développement.

- **Processeurs de traitement du signal (Digital Signal Processors)**

Ce sont des circuits dont l'architecture est conçue pour traiter plus efficacement les algorithmes de traitement du signal. Ils sont étudiés au chapitre suivant.

- **DSP spécialisés**

Les DSP spécialisés se situent à mi-chemin entre ASICs et DSP généraux. Programmables, leurs unités fonctionnelles sont spécifiques au traitement désiré. Un exemple: la série TMS320AVxxxx de *Texas Instruments* est spécialisé dans le traitement audio-vidéo: décodage MPEG, encodage NTSC/PAL... Peu nombreux, ils implémentent les traitements les plus classiques utilisés dans l'industrie.

- **FPGAs**

Les fabricants de Fpgas proposent maintenant des macrocellules de traitement du signal directement implantables sur leurs circuits. Souvent paramétrables en taille, ces cellules vont des blocs de base (additionneurs, multiplieurs, décaleurs...) aux fonctions plus complexes (opérateurs flottants, filtres FIR). Bon marché et rapidement implantable, cette solution ne peut toutefois pas fournir à l’heure actuelle les performances des DSP ou des ASICS.

3. Les processeurs de traitement du signal

Objectifs

Les DSP sont des circuits destinés au traitement numérique du signal. Leur architecture est conçue de manière a offrir de bonnes performances pour les très nombreux algorithmes existants. Ils doivent donc répondre au principales exigences en matière de traitement du signal, qui sont: exécution temps réel, gestion de grands flots de données, calcul numérique rapide et précis (gestion des débordements). De plus, pour être compétitifs, ils doivent présenter un bon rapport performances/coût, et, pour ceux destinés aux systèmes embarqués, une consommation minimale.

Le marché des DSP

Les trois principaux fabricants de DSP sont *Texas Instruments*, *Motorola* et *Analog Devices*. Ils proposent plusieurs familles de composants aux caractéristiques différentes. Certaines marques comme *DSP Group* ou *SGS-Thomson* proposent des solutions sous forme de cœur de DSP, à intégrer dans un circuit utilisateur. Le tableau suivant présente les principaux circuits disponibles à l’heure actuelle.

Fabricant	Famille	Arithmétique	Largeur Données	Largeur Instructions	MIPS	Caractéristiques
Analog Devices	ADSP-21xx	Entier	16 bits	24 bits	50	
	ADSP-2106xx	Flottant	32 bits	48 bits	40	Conçu pour le fonctionnement multi-processeurs
Texas instruments	TMS320C1x	Entier	16 bits	16 bits	8,8	
	TMS320C2x	Entier	16 bits	16 bits	12,5	
	TMS320C2xx	Entier	16 bits	16 bits	40	Version économique du c2x
	TMS320C3x	Flottant	32 bits	32 bits	30	
	TMS320C4x	Flottant	32 bits	32 bits	30	Conçu pour le fonctionnement multi-processeurs
	TMS320C5x	Entier	16 bits	16 bits	50	Evolution du c5x
	TMS320C54	Entier	16 bits	16 bits	100	Instructions spécialisées
	TMS320C62	Entier	32 bits	256 bits	200*8	Architecture VLIW
	TMS320C67	Flottant	32 bits	256 bits	167*8	Architecture VLIW
	TMS320C8x	Entier/Flottant	8/16 bits	32/64 bits	3 ou 5*60	2 ou 4 DSP entiers + 1 cœur de RISC
Motorola	DSP560xx	Entier	24 bits	24 bits	47,5	
	DSP563xx	Entier	24 bits	24 bits	100	Inclus une interface PCI
	DSP566xx	Entier	16 bits	24 bits	80	
	DSP568xx	Entier	16 bits	16 bits	20	Fonctions de type microcontroleur
SGS-Thomson	D950	Entier	16 bits	16 bits	40	Cœur de processeur
Lucent Technologies	DSP16xx	Entier	16 bits	16 bits	120	
	DSP16xxx	Entier	16/32 bits	16/32 bits	100	2 multiplieurs
DSP Group	Pine	Entier	16 bits	16 bits	40	Cœur de processeur
	Oak	Entier	16 bits	16 bits	40	Cœur de processeur
Hitachi	SH-DSP	Entier	16/32 bits	16/32 bits	60	processeur hybride DSP-Microcontroleur

Figure 1 : caractéristiques des grandes familles de DSP

4. *Les DSP conventionnels*

Les divers modèles classiques de DSP reposent sur le même type d'architecture, illustré par la figure suivante.

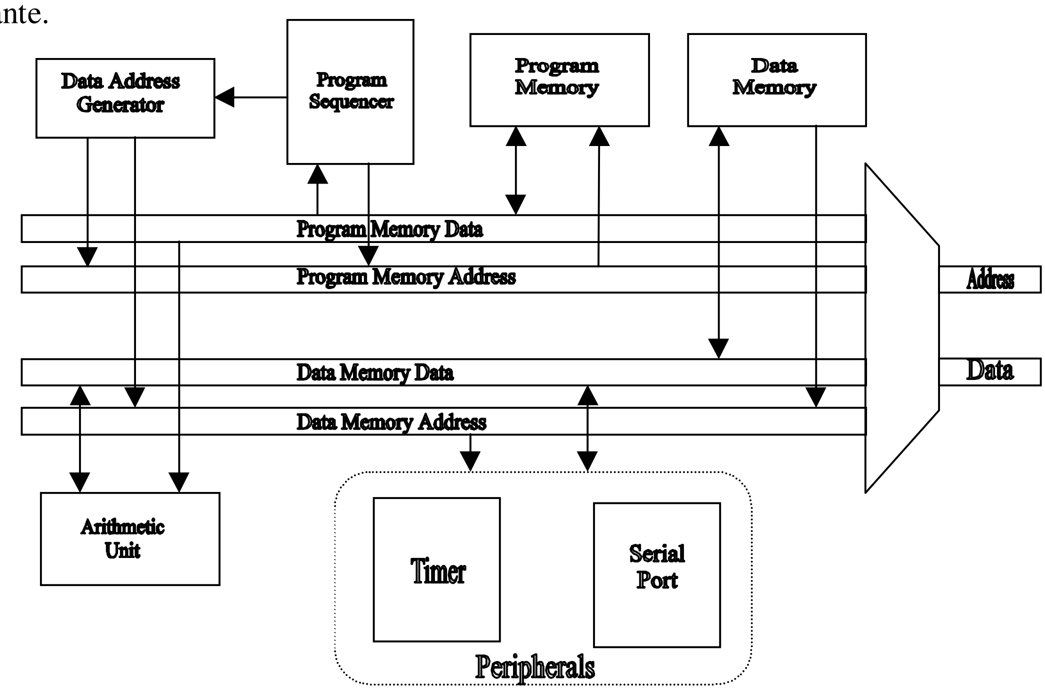

Figure 2 :Architecture d'un DSP

- **Architecture de type Harvard**

Pour permettre un accès simultané aux données et aux instructions afin que l'accès mémoire ne soit pas un goulot d'étranglement, les bus Adresse et Données sont dédoublés. La mémoire est alors soit multi-ports, soit divisée en deux blocs Données et Programme, avec accès simultané. C'est indispensable en T.D.S, où les accès données en mémoire sont nombreux. On trouve souvent de la RAM intégrée directement sur le circuit pour permettre des accès plus rapides, et un cache instructions qui permet de libérer le bus programme pour un accès données supplémentaire.

- **Unité de calcul spécialisé**

Sur ce type d'unité, les opérations arithmétiques sont effectuées en un cycle pour permettre une grande cadence de calcul; on y trouve des mécanismes de gestion de la précision: décaleurs, bits de débordement, saturation. Très souvent, l'opération Multiplication-Accumulation (MAC), très courante en T.D.S, est exécutée en un cycle. Pour permettre des accès multiples aux données, le banc de registres est en général multi-ports. Les DSP traitent deux types d'arithmétique: flottant et entier. La longueur des traitements est classiquement de 32 bits en flottant et de 16 ou 24 bits en entier.

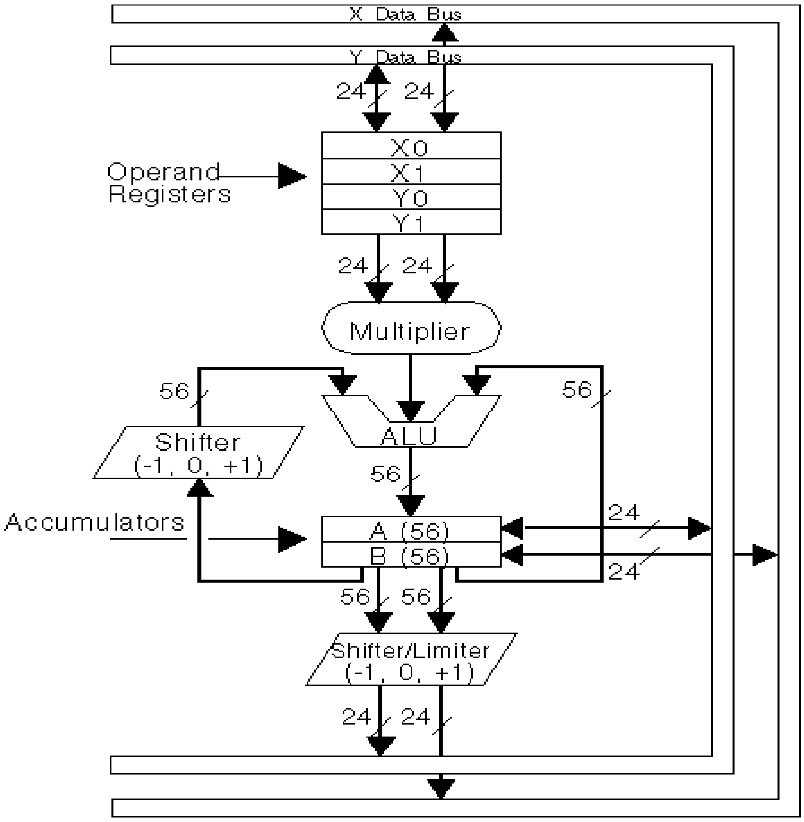

Figure 3 : Unité de calcul Motorola DSP5600x

- **Jeu d'instructions spécialisé**

Il est en général de type RISC: une instruction par cycle, longueur fixe (16, 24 ou 32 bits). Ces instructions sont spécialisées et permettent de tirer parti de l'architecture: plusieurs opérations élémentaires sont exécutées par instruction (calcul + mouvements de données). On trouve en particulier des instructions spécialisées dans l'exécution rapide de boucles.

- **Adressage**

En plus des opérateurs de l'unité de calcul principale, les DSP possèdent une ou plusieurs unités de calcul d'adresses qui permettent de traiter une donnée tout en calculant l'adresse de la donnée suivante. Ils implémentent efficacement des modes d'adressage spécifique au T.D.S: adressage circulaire et Bit-Reverse (utilisé pour la FFT).

- **Unité de contrôle**

Elle est optimisée pour la gestion rapide des boucles et des interruptions. La plupart des DSP sont maintenant pipelinés, d'où un contrôle complexe.

- **Périphériques**

C'est dans ce domaine que se distinguent les différents DSP, qui intègrent selon les besoins un grand nombre de fonctionnalités. Parmi les périphériques les plus courants, on trouve :

- Ports série	*- Contrôleurs DMA*
- Ports parallèles	*- C.A.N et C.N.A*
- Timers	*- Générateurs d'horloge*
- Host Port	*- ROM*

La ROM peut dans certains cas contenir un Boot Loader. Les « Host Ports » sont des interfaces de communication permettant le dialogue avec des processeurs ou des bus de modèle courant. L'espace adressable, la quantité et le type de mémoire embarquée, la consommation et la fréquence d'horloge varient selon les modèles.

Certains DSP, comme le TMS320C40 et l'AD21060 (Sharc), sont spécialement conçus pour le fonctionnement multi-processeurs (nombreux ports de communication). Le TMS320C80 est un circuit intégrant quatre cœurs de DSP, un cœur de processeur RISC et un contrôleur vidéo pour des applications vidéo hautes performances. Dans le même esprit, le Quad-Sharc est constitué de quatre cœurs d'AD21060 reliés entre eux pour des applications parallèles.

Les fabricants de DSP continuent d'améliorer les performances de leur modèles de plusieurs manières:

- Plus de mémoire on-chip
- Plus de parallélisme de calcul: second bus de données, multiplieur, additionneur; opérateurs pipelinés.
- Périphériques très spécialisés: Interface ISA, PCI, Port série synchrone.
- Outils de développement plus performants (compilateurs, débuggeurs et émulateurs on-chip).

- Blocs Hardware spécialisés pour applications spécifiques.
- Réduction de la consommation.

Cependant, les modifications de l'architecture se limitent essentiellement à l'ajout de nouveaux périphériques spécialisés. Cela permet de maintenir une certaine compatibilité avec les modèles antérieurs, ainsi qu'un coût et une consommation raisonnables.

Du fait de leur architecture non orthogonale et de leur jeu d'instructions complexe, ces DSP sont de plus en plus complexes à programmer et leurs compilateurs donnent des résultats médiocres. Ce type de DSP conventionnel tend donc vers sa limite. C'est pourquoi on voit maintenant apparaître des solutions nouvelles en matière d'architecture de DSP.

5. Les DSP de type VLIW (Very Long Instruction Word)

Ce type de circuit s'appuie sur une architecture beaucoup plus régulière que celle des DSP conventionnels, et utilisent des instructions larges exécutant plusieurs opérations indépendantes en parallèle. Le TriMedia de Philips et la famille C6x de *Texas Instruments* sont basés sur ce principe. Prenons l'exemple du TMS320C62, le modèle virgule fixe de la gamme C6x.

- **Le TMS320C62 de Texas Instruments**

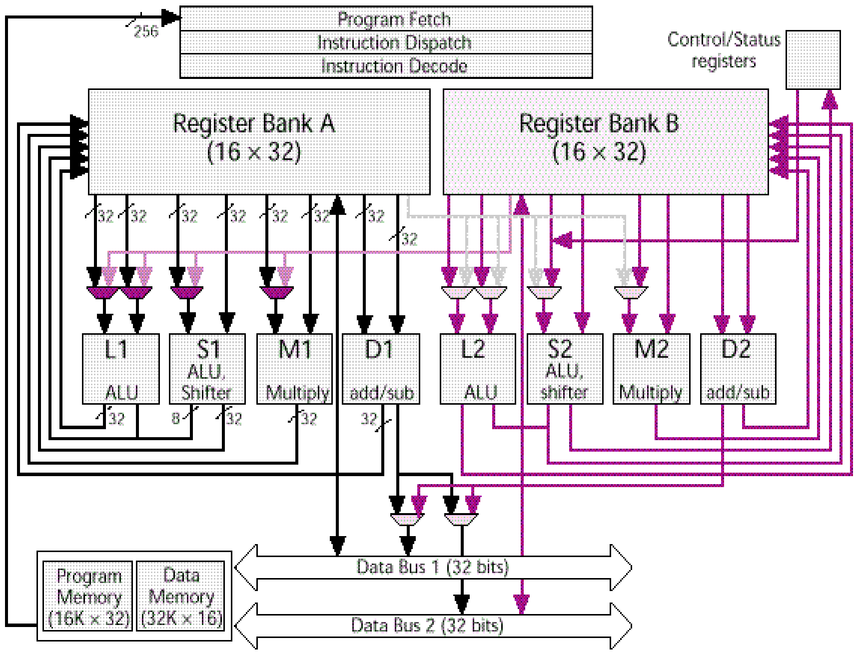

Figure 4: Cœur du TMS320C62

Du fait de son architecture VLIW, ce processeur est totalement incompatible avec les autres familles de la marque qui se basaient sur une architecture classique.

Le cœur est de type superscalaire, avec huit unités d'exécution travaillant en parallèle. Ces unités sont divisées en deux blocs, chacune accédant à un banc de registres 16*32. Les bancs de registres sont multi-ports (9 de lecture et 6 d'écriture).

- Unités L: ALU 40 bits, normalisation et comptage de bits.
- Unités S: ALU sur 32 bits, et shifter 40 bits.
- Unités M: multiplication 16*16->32.
- Unités D: ALU 32 bits essentiellement utilisé pour le calcul d'adresse.

Les instructions ont une largeur de 256 bits, pouvant coder jusqu'à huit opérations élémentaires. Ces opérations élémentaires sont ensuite réparties vers les unités d'exécution appropriées. Le but à atteindre est l'occupation maximale de ces unités. En réalité, les problèmes liés aux dépendances de données, conflits de ressources et opérations multicycles font que les unités d'exécution ne fonctionneront que rarement à plein régime. Contrairement aux DSP classiques, le jeu d'instructions du C60 ne dispose pas de fonctions complexes: une multiplication-accumulation sera codée en deux instructions. La gestion de boucle et l'adressage indexée devront être explicitement programmés. La longueur du pipeline est importante (jusqu'à 11 étages d'exécution pour les opérations de branchement), et le chip n'effectue pas de contrôle de dépendance, laissant au programmeur ou au compilateur la responsabilité de choisir quelles instructions il exécutera en parallèle, tâche d'autant moins évidente que toutes les opérations élémentaires n'ont pas la même latence.

En réalité, programmer ce circuit directement en assembleur est une tâche très complexe. C'est pourquoi T.I. mise sur les performances du compilateur C spécialement conçu pour l'architecture VLIW.

En terme de performances brutes et dans l'hypothèse d'une programmation optimisée, ce processeur donne d'excellents résultats. Cependant, les écarts avec les autres DSP sont moins importants que ce que pourrait laisser penser la simple comparaison en terme de 'MIPS'. Ceci s'explique par le fait que les unités d'exécution du C60 ne sont jamais constamment exploitées, et que le flux de données de la mémoire vers les unités d'exécution ne peut excéder deux données 32 bits par cycle.

La consommation est quant à elle très supérieure à celle des autres DSP. La taille du code et la bande passante mémoire nécessaire due à la largeur des instructions sont elles aussi plus grandes.

L'usage de ce processeur est donc à priori réservé à des applications réclamant une grande puissance de calcul, et pour lesquelles les facteurs coût et consommation ne sont pas déterminants. Son exploitation optimale passe par un compilateur parallèle très performant.

6. Les architectures mixtes 'RISC plus DSP'

Le traitement du signal est aujourd'hui très présent dans les systèmes embarqués: téléphone mobile, modems... Dans ces systèmes, la gestion du contrôle est généralement assurée par un processeur RISC, tandis que le traitement du signal est confié à un DSP. Pour éviter les problèmes liés à ce type d'architecture (encombrement, coût et consommation), les constructeurs s'orientent vers des solutions intégrant ces deux fonctions sur la même puce. Les approches diffèrent selon les constructeurs:

- Des DSP avec fonctions de contrôle: famille 568xx de Motorola (pile software, unité de manipulation de bits, nombreux modes d'adressage).
- RISC et DSP sur le même circuit: Le Motorola MPC823 est un circuit composé d'un cœur de PowerPC et un module RISC orienté traitement du signal. Chaque cœur dispose d'un jeu d'instructions spécifiques et travaillent en parallèle.
- RISC et coprocesseur DSP: L'ARM Piccolo est constitué d'un cœur RISC d'ARM7 et d'un coprocesseur Piccolo spécialisé en T.D.S commandé par l'ARM7.
- Un microcontroleur avec des capacités DSP: le SH-DSP d'Hitachi est basé sur le microcontroleur SH-2, auquel on ajouté un data-path spécialisé T.D.S. Le jeu d'instruction a été enrichi pour permettre de gérer l'unité DSP.

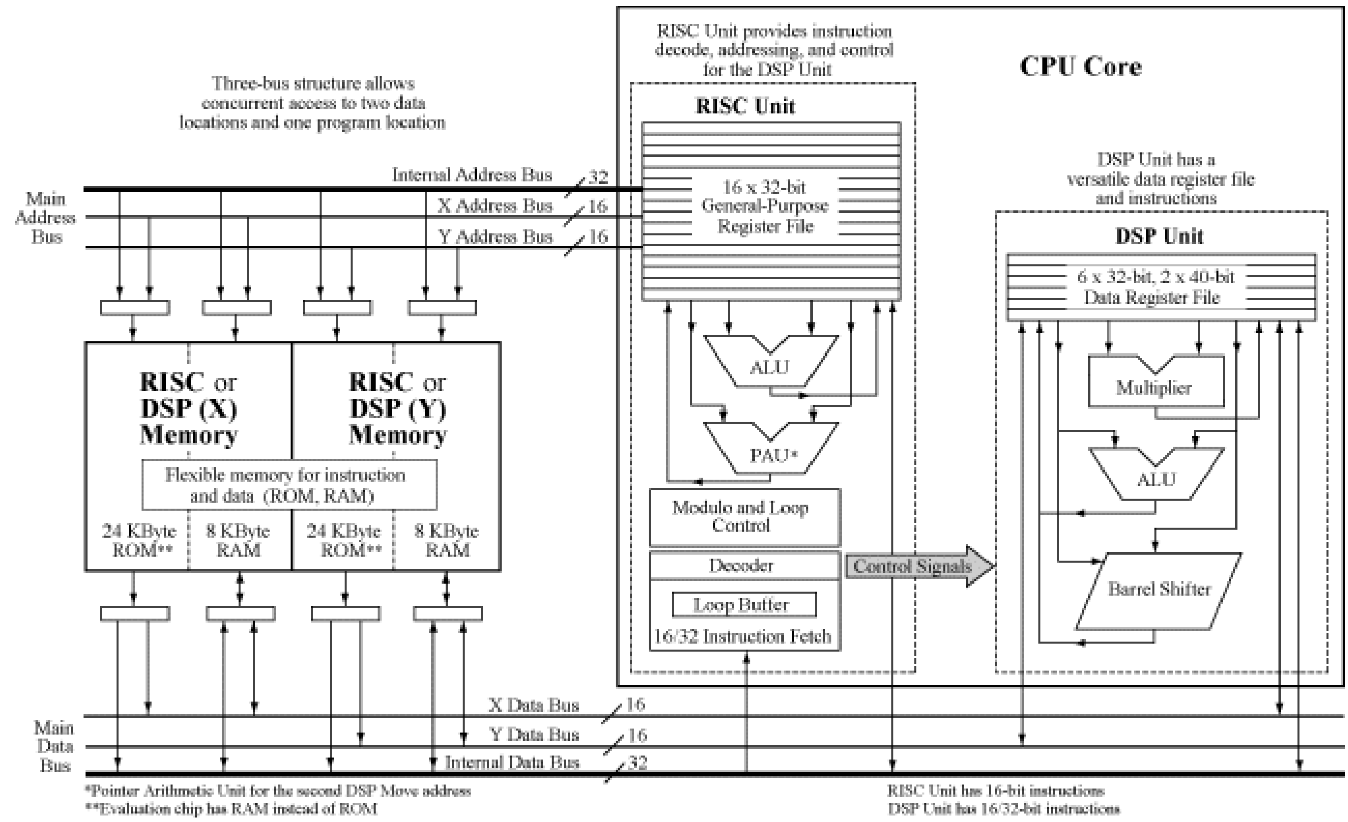

Figure 5: Hitachi SH-DSP

Ces architectures sont intéressantes pour des applications mixtes exigeant de bonnes performances en contrôle comme en calcul.

Un des problèmes majeurs de ce type de circuit est la complexité de programmation: le soft doit gérer les deux types de traitement en parallèle, ainsi que le partage des données. De plus, les performances brutes restent limitées par la relative simplicité des modules DSP embarqués.

7. *Les DSP « orienté-application »*

Les DSP actuels, quoique de plus en plus puissants, ont une architecture trop générale pour donner des performances satisfaisantes dans toutes les applications.

Une première idée consiste à réunir sur le même circuit un cœur de DSP existant et de la logique implémentant des fonctions utilisateurs qui prendront en charge les tâches ne pouvant être traitées efficacement par le cœur. Cette solution présente l'avantage de réduire le temps de développement et le coût du circuit par rapport à une réalisation 100% ASIC.

Plusieurs fabricants proposent leurs cœurs de DSP: DSP Group (versions 'Pine' et 'Oak'), Texas Instruments (C2xx, C5xx, C54xx), SGS-Thomson (D950), 3Soft Corp (M320C25 et M320C30).

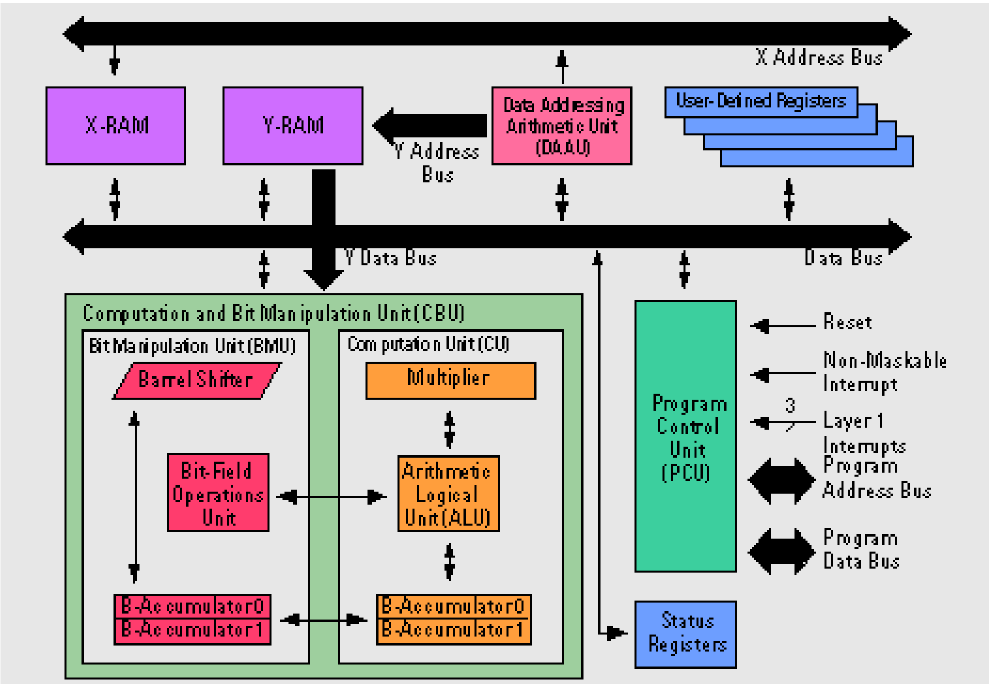

Figure 6: Cœur de DSP 'Oak'

Pour le moment, il s'agit de modèles en virgule fixe qui regroupe toutes les caractéristiques classiques d'un DSP: architecture Harvard, multiplication-accumulation en un cycle, unités de calcul d'adresse, gestion rapide des boucles. Leurs performances se situent dans la moyenne des DSP conventionnels. Notons toutefois l'annonce par *Siemens* de son premier cœur de DSP, *Carmel*, qui s'articule autour d'une architecture VLIW au jeu d'instructions configurable, et dont les performances seraient de l'ordre de celles des Texas C6x, les processeurs les plus puissants du moment.

On distingue deux types de cœurs: propriété d'un fondeur (par ex. *Texas*) ou disponible sous forme de licence (*DSP Group*). T.I met à disposition du concepteur des bibliothèques standard-cells dans différentes technologies et assure lui-même la fabrication du circuit. DSP Group procède différemment, en proposant ses cœurs Oak et Pine sous forme de blocs synthétisables ou pré-routés dans une technologie donnée.

Une autre alternative est représentée par les ASIP (Application-Specific Instruction set Processor). Ces circuits se situent à mi-chemin entre les ASICS et les DSP généraux. Ils intègrent une architecture optimisée pour une classe d'applications, tout en restant programmable. Ils permettent ainsi d'offrir des performances supérieures à celles des DSP classiques, tout en étant moins encombrant et en consommant moins. Souvent de type VLIW, ils sont de plus en plus utilisés dans l'industrie pour des applications largement distribuées et à faible coût. On les trouve par exemple dans les mobiles GSM, les consoles de jeux vidéo, les cartes graphiques pour PC, les décodeurs numériques…Le fait qu'ils soient programmable leur confère une flexibilité que n'offrent pas les ASICs, c'est pourquoi ils représentent une alternative intéressante aux modules purement câblés.

8. *Quelques mesures de performance*

Cette étude a été réalisée par le B.D.T.I (Berkeley Design Technology, Inc), spécialisé dans l'étude et l'évaluation des DSP. Les tests mesurent la performance des circuits en matière de traitement du signal, et se basent sur un benchmark composé de onze algorithmes utilisés fréquemment en T.D.S: filtre FIR, IIR, Produit de vecteur, Convolution, Transformée de Fourier, etc. Il est important de noter que ces résultats se basent sur des algorithmes programmés en assembleur et optimisés manuellement ; ils illustrent donc les performances crêtes des processeurs, sans préjuger de l'efficacité des compilateurs.

Les deux figures suivantes illustrent les performances des DSP virgule flottante, puis virgule fixe. La dernière compare la consommation des différents processeurs.

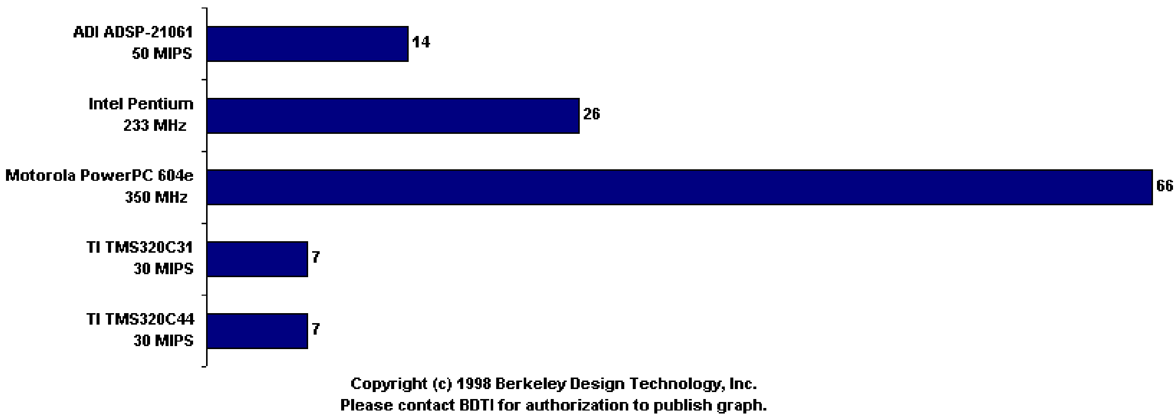

Figure 7: Performances en Flottant

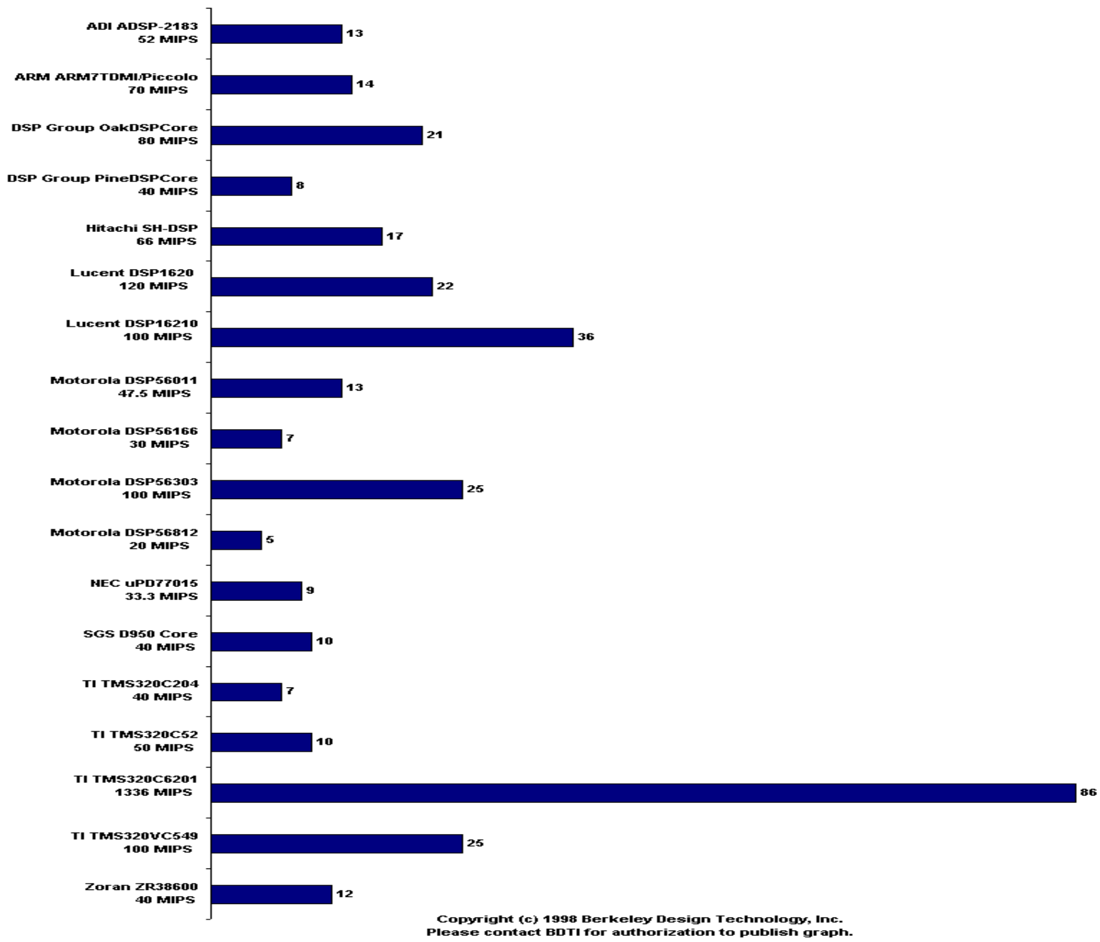

Figure 8: Performances en Virgule Fixe

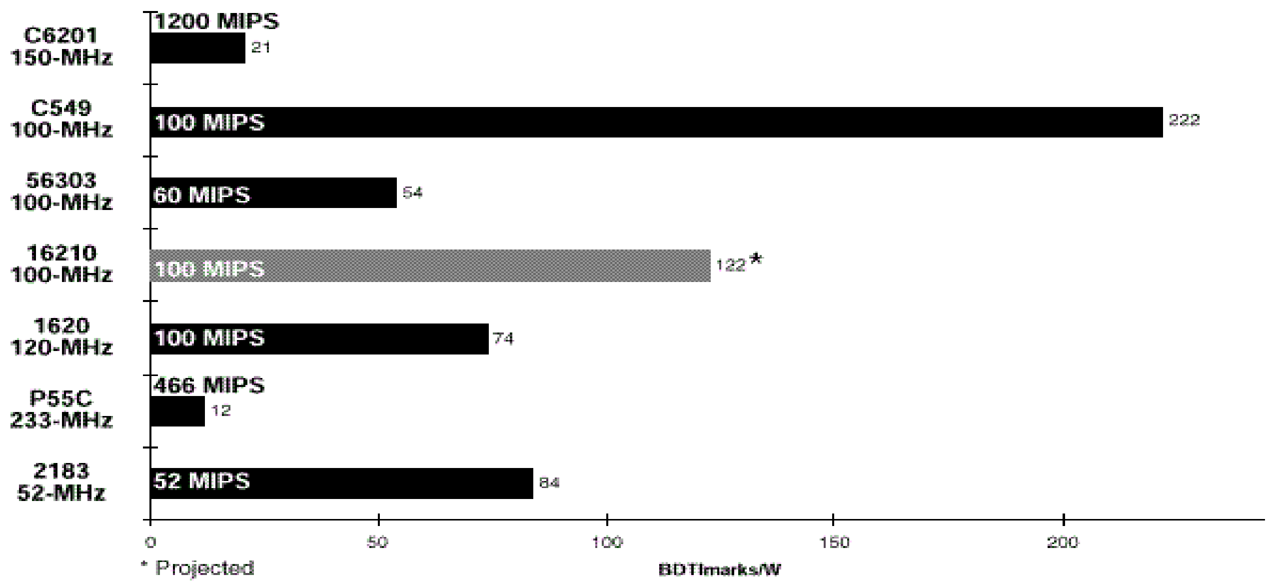

Figure 9: Consommation

9. Conclusion

Les applications dans le domaine du traitement numérique du signal sont de plus en plus nombreuses et diversifiées. Le succès connu dans le domaine du multimédia donne à penser que les fabricants de processeurs généraux vont poursuivre dans la voie consistant a intégrer dans leur circuits des modules de T.D.S. De la même façon, les architectures des DSP tendent à évoluer, comme le montre les processeurs les plus récents: meilleure gestion du contrôle (type RISC), plus grand parallélisme... Elles devraient aussi se diversifier et se spécialiser pour répondre aux besoins spécifiques des diverses applications T.D.S, grâce aux cœurs de DSP et aux ASIPS.

Les processeurs généraux pourront donc bientôt concurrencer les DSP dans des applications de T.D.S simples; cependant, dans les applications pointues (nécessitant une architecture spécialisée) ou embarquées (contraintes d'encombrement et de consommation), les DSP conservent pour l'instant leur suprématie, en partie du fait de leur meilleur rapport coût/performance.

Le dernier enjeu se situe au niveau logiciel: la complexité croissante des architectures (VLIW, Risc+DSP) et l'utilisation de cœurs de DSP rendent aujourd'hui indispensable l'existence d'outils logiciels adaptés et performants (compilateurs parallèles, débuggeurs, librairies orientées T.D.S), pour permettre un développement rapide et optimal.