THÈSE de DOCTORAT
de
L'UNIVERSITÉ PIERRE ET MARIE CURIE
(PARIS6)

Spécialité : INFORMATIQUE

Présentée par **M. Pascal COUTEAUX**
pour obtenir le grade de
Docteur de l'université Paris 6

Sujet de la thèse :

Etude d'un circuit de sérialisation à 3 Gbits/s en technologie BiCMOS.

À soutenir le : **03 Juillet 1997**

devant la commission composée de :

A.Greiner	**Directeur de thèse**
F.Devos	**Rapporteur**
A.Kaiser	**Rapporteur**
G.Alquié	**Examinateur**
P. Garda	**Examinateur**
R.Marbot	**Examinateur**

Remerciements

Je tiens à remercier tout particulièrement monsieur Roland Marbot, directeur de la division UL-TEAM de SGS-THOMSON, pour la confiance qu'il m'a accordé dans ce projet, son soutien tant technique que moral dans sa réalisation.

Je remercie vivement le Professeur Alain Greiner, directeur du MASI, non seulement pour l'intérêt qu'il a porté pour ce projet, mais aussi, pour la qualité de ses remarques et sa patience lors de la rédaction de ce mémoire.

Que les membres du jury trouvent ici l'expression de ma profonde gratitude.

J'adresse également de vifs remerciements à l'ensemble de l'équipe UL-TEAM de SGS-THOMSON et plus particulièrement à Jean Claude Lebihan pour sa contribution importante et indispensable tout au long de ce projet.

Je tiens à remercier également l'ensemble des ingénieurs de BULL S.A avec qui j'ai eu la chance de travailler et qui m'ont apporté un support technique constant. Je tiens à remercier, spécialement, monsieur Jean-Marie Boudry pour m'avoir résolu tant de problèmes techniques avec une célérité et une gentillesse extraordinaire.

Une pensée particulière à Karine, qui a su m'encourager et me soutenir durant toute la durée de mes études supérieures.

Enfin, je suis plus que reconnaissant envers mes parents qui m'ont toujours encouragé à mener à bien mes études et qui m'ont permis d'y parvenir grâce à leur soutien tant moral que matériel.

À karine,

Table des matières

Introduction

Les vitesses de fonctionnement des microprocesseurs actuels sont telles qu'elles imposent des débits de transfert de données de plus en plus élevés. Pour résoudre ce problème de transfert de données de processeurs à processeurs, la liaison série trouve de plus en plus d'adeptes. Sur de longue distance, elles permettent, en effet, des débits plus élevés que les liaisons parallèles.
Aujourd'hui, les liaisons les plus performantes du marché, réalisées en technologie CMOS, Bipolaire ou AsGa, possèdent des débits de transmission autour du Giga bit/s.

Cette thèse s'inscrit dans la continuité des travaux réalisés par l'équipe de Roland Marbot, au sein de l'entreprise BULL S.A, concernant les liaisons haut débits et faible consommation.

Les débits atteints par la macro-cellule HSL, de BULL, en technologie CMOS 0,5 µm restent limités au voisinage de 1 Gbit/s, cette thèse tente de démontrer que l'on peut repousser ces limites au-delà des 2.5 Gbits/s en portant ces concepts dans une technologie BiCMOS 0,5 µm. L'étude porte sur la réalisation de l'émetteur de la liaison BiCMOS et le développement d'un circuit de test FILING permettant d'en évaluer les performances.

Réalisée dans le cadre d'une convention CIFRE, elle résulte d'une collaboration entre le laboratoire MASI et la société informatique BULL.

L'objectif est de démontrer la faisabilité d'un émetteur BiCMOS fonctionnant à des débits allant à plus de 2.5 Gbit/s. Le travail a consisté à :

- Analyser les limites, en terme de débit de transmission, de la liaison HSL en technologie CMOS.

❑ Etudier la portabilité de ces concepts de circuiterie, développés initialement pour une technologie CMOS, vers la technologie BiCMOS.

❑ Proposer des modifications permettant de s'adapter aux contraintes et d'utiliser les avantages de la technologie BiCMOS.

❑ Réaliser l'émetteur de la liaison et le faire fabriquer dans deux process BiCMOS différents afin de démontrer la robustesse et la portabilité de la nouvelle circuiterie mise en place.

Plan du mémoire

Nous commençons par analyser, dans le **chapitre 1**, les principaux facteurs limitant le débit de transmission de la liaison série en technologie CMOS.
Le **chapitre 2** présente les principes développés dans les circuits GIBSI et HSL, points de départ de notre étude.

En ce basant sur les résultats des chapitres précédents, le **chapitre 3** présente les choix adoptés dans la conception et l'implantation VLSI des nouveaux circuits de l'émetteur BiCMOS. On reprend ici les principes généraux présentés au chapitre 2, en détaillant les modifications qu'il a fallu apporter pour satisfaire aux contraintes de la technologie BiCMOS et de profiter de ses avantages. L'automate de contrôle de l'asservissement, mais aussi l'étude des éléments critiques de la DLL (boucle à verrouillage de délais) tels que le retard variable et le détecteur de phase sont analysés dans ce chapitre.

Le **chapitre 4** présente le circuit de validation FILING, intégrant l'émetteur de la liaison série BiCMOS ainsi que l'ensemble de la circuiterie nécessaire à la mesure de ses performances.

Le **chapitre 5** résume les principaux résultats obtenus durant la campagne de mesures réalisés sur le circuit FILING, revenu de fabrication.

Enfin, le **chapitre 6** analyse les résultats obtenus tout au long de cette thèse et tente d'estimer les performances prévisibles de la liaison série BiCMOS complète.

En annexe de ce manuscrit, on présente la carte de tests et les deux méthodes retenues pour l'encapsulation du circuit dont l'effort de réalisation a surtout porté sur la qualité de la transmission des signaux haute fréquence.

Chapitre 1

Problématique

Aujourd'hui, les liaisons séries les plus performantes du marché, réalisées en technologie CMOS, Bipolaire ou AsGa possèdent des débits de transmission autour du Giga bit/s (10^9 bits par seconde).

Produits	Compagnie	Technologie	Débits accessibles (Gbit/s)
G-taxi	Vitesse	AsGa	1.25
G-link	HP	Bipolaire	1.4
Hot pads	SUN/LSI	CMOS	0.65 - 1
HSL	BULL	CMOS	0.7 - 1
G-LITE	ST	CMOS	1-1.25

Table 1.a : Les liaisons séries haut débit déjà existantes sur le marché

Différents standards ont établi, dès aujourd'hui, dans leurs spécifications, les débits de transmission pour la prochaine génération de liaison série:

Nom du protocole	débits (Mbits/s)	
IEEE 1394	983	**1966**
Gigabit ethernet	1250	**2500**
Fiber Chanel	1062,5	**2125**
ATM	622	**2488**
IEEE 1355	1000	**3000**

Table 1.b : Débits normalisés

Le travail réalisé dans cette thèse s'inscrit dans la continuité des études effectuées dans le projet Européen OMI/HIC ayant abouti à la création du protocole de transmission série IEEE 1355 []. Dans ce projet,

une macro-cellule liaison série, nommée HS-Link (High Speed Link) a été développée par l'équipe de R.Marbot chez BULL.
Réalisée en technologie CMOS 0.5 µm, cette macro-cellule a démontré la fiabilité de nouveaux concepts de sérialisation et de désérialisation pour des débits allant jusqu'à 1 Giga bit/s.

L'objectif de cette thèse est d'étudier la faisabilité d'un mécanisme de sérialisation, dans la technologie BiCMOS, permettant d'accéder à des débits plus élevés. On vise à terme la réalisation d'une liaison série répondant aux standards définis autour des 2.5 Gbit/s. Pour atteindre cet objectif, nous nous sommes inspirés des techniques de circuiterie utilisées pour la liaison HSL.

1.1 La macro-cellule HS-Link

Le débit maximum de HS-Link est de 1 Gbit/s en technologie CMOS 0,5 µm. Cette limite résulte de deux causes principales : le *jitter* (imprécision temporelle sur la position du front d'un signal) cumulé sur des signaux critiques et la bande passante de certains circuits sensibles .

Le jitter

La figure 1.1.a montre les conséquences du *jitter* sur l'échantillonnage de la donnée série à l'entrée de la bascule de réception.
Tsu est le temps de pré-positionnement de la donnée par rapport au front montant de l'horloge d'échantillonnage de la bascule.
Tho est le temps de maintient de la donnée par rapport au front montant de l'horloge d'échantillonnage de la bascule.
Un jitter trop important, provoque une violation de l'un de ces temps.

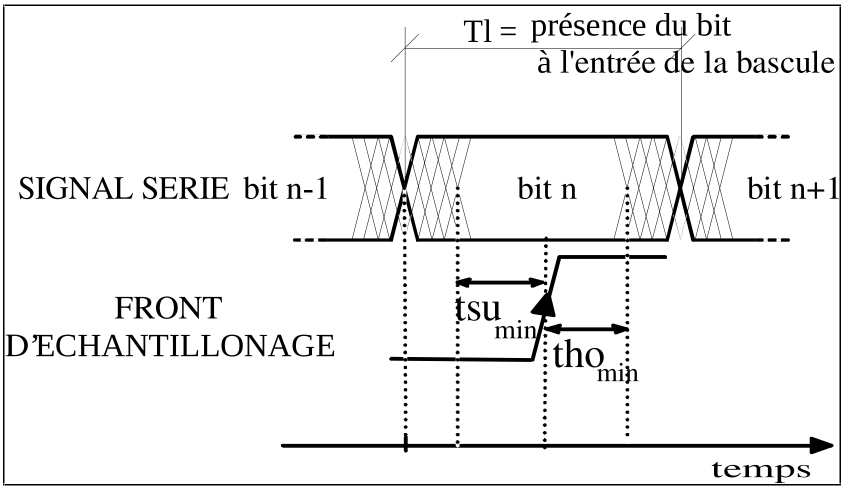


figure 1.1.a : Erreur de transmission due aux *jitters* sur les signaux critiques

Ce *jitter* résulte de deux facteurs: l'un déterministe, le second probabiliste.

Le *jitter* déterministe est induit par les techniques de sérialisation et de désérialisation utilisées par la macro-cellule. Ainsi, nous verrons que la résolution d'une DLL (Delay.Locked.Loop) provoque une imprécision systématique sur la durée des bits série liée à la résolution du mécanisme de contrôle de la boucle. De même, l'utilisation d'un arbre de ou-exclusifs pour la conversion parallèle/série rend la durée des bits série sensible à la différence entre les temps de propagation des fronts montant et descendant de ces portes.

Le *jitter* probabiliste est lié aux perturbations (variations de la tension d'alimentation, de la température, etc.) auxquels sont soumis les circuits générant et véhiculant le signal série. Ainsi, il est fonction des temps de propagation intrinsèque des circuits, du temps de monté et de descente des fronts des signaux générés et de la diaphonie (interaction capacitive) entre les différents signaux.

Le *jitter* mesuré sur le signal série, à la sortie de l'émetteur d'HS-Link, est de 300 ps. Nous verrons au paragraphe 1.2.3 qu'il ne doit pas excéder 30% de la durée du bit série. Ainsi, le jitter sur les fronts du signal série limite le débit maximum de transmission de la liaison HSL à 1 Gbit/s .

Bande passante de circuits sensibles

La bande passante d'un circuit numérique peut être définie comme la fréquence maximum du signal d'entrée à partir de laquelle le signal de sortie n'a plus le temps d'atteindre sa valeur nominale avant de rebasculer. Dans le chapitre 2, nous analyserons les différents circuits de l'émetteur HS-Link. La bande passante de certains circuits CMOS limite également la fréquence de transmission.

Par exemple, le signal série est directement issu d'une porte ou-exclusif. En technologie CMOS 0,5 µm, la bande passante maximum de fonctionnement est voisine de 600 Mhz, dans les conditions pire cas (process pire cas, température de 70°C, tension d'alimentation 3.0 Volt), ce qui limite le débit maximum de transmission à 1.2 Gbit/s.

Ainsi, pour des technologies 0,5 µm, des débits supérieurs à 2 Gbit/s ne sont accessibles qu'en passant à une technologie plus rapide que la technologie CMOS.

1.2 La technologie BiCMOS

Moins coûteuse que la technologie AsGa, la technologie BiCMOS combine sur la même tranche de silicium des transistors MOS et des transistors bipolaires. Cette technologie permet ainsi de réaliser les parties sensibles à l'aide de transistors bipolaires (commutant plus vite et fournissant de plus forts courants) tout en conservant le majeure partie du circuit en CMOS (plus faible consommation, meilleur taux d'intégration, haute immunité au bruit).

Le choix de la technologie BiCMOS permet également de conserver l'idée d'une macro-cellule intégrable à la périphérie de circuits complexes, dont le coeur serait réalisé uniquement en CMOS.

Il existe plusieurs familles de circuiterie dans cette technologie. Comme le montre les tableaux 1.2.a et 1.2.b, issus des spécifications techniques du fondeur A.M.S, la circuiterie CML (Current.Mode.Logic) semble la mieux adaptée, pour la réalisation de circuits rapides et faiblement chargés :

Paramètres d'une porte élémentaire	**CMOS**	**BiCMOS**	**ECL**	**CML**
Temps de propagation intrinsèque (sortance = 1)	310 ps	350 ps	160 ps	110 ps
Temps de propagation additionnel (par sortance)	125 ps	30 ps	8 ps	16 ps
Bande passante (Mhz)	500	500	3000	3500

Table 1.2.a : Vitesse d'une porte élémentaire dans les différentes circuiteries
(Technologie BiCMOS A.M.S, 0.8 µm)

Dans le tableau 1.2.a, on constate que le temps de propagation d’une porte élémentaire est réduit d'un facteur 3 en passant de la circuiterie CMOS à la circuiterie CML. La bande passante des circuits sensibles, mentionnés au paragraphe précédent, s'est améliorée d'un facteur 7.
Les différences entre fronts montants et fronts descendants qui sont un facteur important dans la création du jitter probabiliste sont considérablement réduites :

Porte élémentaire (sortance=1)	CMOS	CML
Temps des fronts montants (entre 10 et 80 % de l’amplitude maximum)	250 ps	90 ps
Différence entre le temps des fronts de monté et de descente.	60 ps	< 5 ps

Table 1.2.b : Diminution du jitter probabiliste sur les fronts des signaux

Outre son coût plus élevé, dû à l'augmentation du nombre de masques et donc du nombre d'étapes de fabrication pour la réalisation des transistors bipolaires et des résistances (on rajoute entre 7 et 10 masques supplémentaires dans un process BiCMOS), les deux contraintes apportées par la circuiterie CML sont l'augmentation de la surface et de la consommation.

Alors que les circuits CMOS et BiCMOS ne consomment pas de façon statique, les circuits CML consomment de façon continue (table 1.2.c issu des spécifications du fondeur AMS). La surface occupée par les transistors bipolaires, mais aussi les règles minimum d'espacement entre eux, diminue d'un facteur voisin de 4 le taux d'intégration (table 1.2.d).

Porte élémentaire	CMOS	BiCMOS	ECL	CML
Puissance dissipée	2.5 µW/ MHz	2.5 µW/ MHz	0.8~1.35 mW	0.5~0.8 mW

Table 1.2.c : Consommation d'une porte élémentaire dans les différentes circuiteries

	CMOS (μm^2)	**CML** (μm^2)	S_{CML}/S_{CMOS}
OU-exclusif complexe	960	3871	4,03
bascule RS	779	4000	5,13
bascule + ou-exclusif simple	2220	7098	3,2

Table 1.2.d : Surfaces obtenues pour la macro-cellule H.S.L en technologie CMOS 0,5 µm et pour le nouvel émetteur BiCMOS en technologie BiCMOS 0,5 µm

Dans un process CMOS 0,5 µm, on peut intégrer jusqu'à 4000 portes par mm^2 en cellules pré-caractérisées en incluant le routage (≅ 16000 transistors / mm^2). Pour les circuits CML, dans une technologie BiCMOS 0,5 µm, le taux d'intégration est nettement plus faible (≅ 4000 transistors / mm^2).

1.3 L'émetteur BiCMOS idéal

Tentons maintenant de définir l'émetteur idéal.

1.3.1 Débits accessibles

Parmi les différents protocoles présentés en introduction de ce chapitre (table 1.b), il est aujourd'hui impossible de prédire ceux qui demain seront les plus largement utilisés pour des débits supérieurs à 2 Gbit/s. Il parait dés lors intéressant d'essayer de couvrir une plage de débits la plus large possible autour du débit moyen de 2.5 Gbit/s. Ainsi, l'émetteur BiCMOS devra transmettre à des débits pouvant varier entre **1.5 et 3 Gbit/s** quelles que soient les dispersions technologiques sur les caractéristiques des transistors.

1.3.2 Largeur de la donnée parallèle

La macro-cellule HS-Link fonctionne au débit maximum de 1 Gbit/s. Ceci impose une fréquence de 80 Mhz pour la transmission des données parallèles de 12 bits de large. Pour ne pas imposer une fréquence plus élevée au système utilisateur de la macro-cellule BiCMOS, on décide d'une largeur de **40 bits** pour les données parallèles (= 80 Mhz pour un débit de 3.2 Gbit/s). Cette largeur est un multiple de 10 correspondant à la largeur des mots parallèle des principaux protocoles de transmission (codage 8b/10b).

1.3.3 Niveaux électriques du signal série

Les niveaux de tension du signal série sont ceux définis par les amplificateurs de sortie CML (tension typique d'alimentation Vcc = 3.3 Volt) :

Symbole	Paramètre	Unité	Min	Typ	Max
V_{OLS}	Niveau bas du signal série (terminé par une résistance d'adaptation 50 ohms).	V	-	**Vcc - 0,4**	-
V_{OHS}	Niveau haut du signal série (terminé par une résistance d'adaptation 50 ohms).	V	-	**Vcc**	-

1.3.4 Qualité du signal série

La qualité d'un signal série est illustrée par le "diagramme de l'oeil" qui permet de mesurer le jitter. On l'obtient en superposant sur un oscilloscope tous les bits transmis sur le lien série.

Chaque protocole décide de l'ouverture minimale en sortie de l'émetteur ainsi que l'ouverture minimale pour laquelle le récepteur doit reconnaître le train de bits avec un taux d'erreur défini (typiquement 10^{-12}, signifiant que l'on accepte une erreur sur un mot tous les 10^{12} mots transmis).

Nous retiendrons les spécifications de la norme la plus restrictive (Fibre Channel) où l'ouverture minimale de l'oeil en sortie de l'émetteur est définie par la figure 1.2.b :

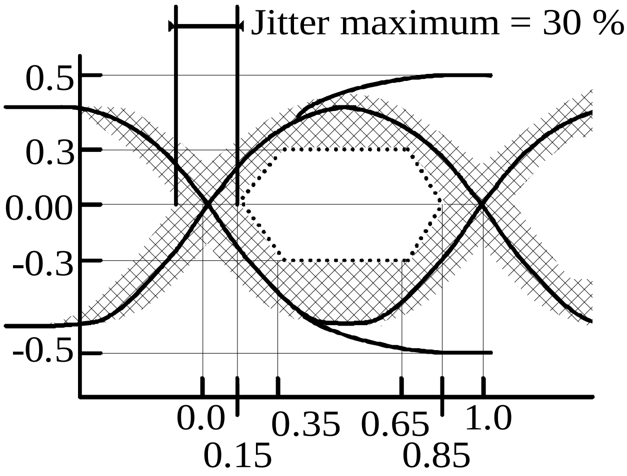


Figure 1.2.b: Définition du diagramme de l'oeil sur la sortie série de l'émetteur

Interprétons ces spécifications :

L'unité utilisée pour l'axe des abscisses est proportionnelle à la durée idéale d'un bit transmis, à un débit fixé.
L'unité utilisée pour l'axe des ordonnées est normalisée sur l'amplitude maximum atteinte en régime établi. Ainsi, y = +0,5 correspond à l'amplitude atteinte à l'abscisse x = 1.0 par le signal série lorsqu'il a subi une transition montante à l'abscisse x = 0.0 et qu'il reste au niveau haut pour la transmission du bit suivant (x = 1.0).

Cette spécification alloue donc un certain budget pour la transmission :

- Le jitter maximum autorisé sur les fronts du signal série ne doit pas excéder
30 % de la durée du bit. L'ouverture minimum de l'oeil est égale à 70% de la durée du bit.
- Les temps de montées et de descentes des fronts du signal série, entre 20 et 80 % de l'amplitude du signal , doivent être inférieurs à 35% de la durée des bits séries.
- L'amplitude du signal série doit être égale au minimum à 60% de son amplitude en régime établi.

Le débit maximum de 3 Gbit/s que nous avons fixé impose donc les contraintes suivantes sur la qualité du signal série :

Paramètres	**Description**	**Min**	**Max**	**Unité**

t_{rs}	Temps de monté des fronts, entre 20% et 80% du signal série.	**-**	**120**	ps
t_{rf}	Temps de descente des fronts, entre 20% et 80% du signal série.	**-**	**120**	ps
t_{jit}	Jitter admissible sur les transitions du signal série.	**-**	**100**	ps
A_{min}	Amplitude minimum du signal série	**240**	**-**	mV
t_{op}	Ouverture minimum de l'oeil	**250**	**-**	ps

1.4 Conclusion

Les débits maximum accessibles par la liaison série HS-Link, réalisée en technologie CMOS 0.5 µm, restent limités au Giga bit/s. A technologie équivalente (0,5 µm), il faut passer en technologie BiCMOS et plus précisément utiliser la circuiterie CML de cette technologie.

Cette thèse tente de répondre aux questions suivantes :

Les concepts de sérialisation développés pour la macro-cellule HS-Link, sur une technologie CMOS 0,5 µm, sont ils utilisables en technologie BiCMOS ?
Pour cela, il faut analyser les différents circuits CMOS de l'émetteur HS-Link et identifier ceux qui limitent la fréquence de transmission et proposer le schéma de circuits CML pouvant les remplacer.

La réalisation de l'émetteur de la liaison série en technologie BiCMOS 0,5 µm, avec une largeur pour les données parallèles de 40 bits, permettra d'évaluer le coût en terme de surface et de consommation.

Chapitre 2

Etat de l'art

Ce chapitre décrit la macro-cellule CMOS HS-Link, point de départ de notre étude. On analyse finement les différents circuits de l'émetteur intervenant dans la création du jitter et ceux dont la bande passante limite le débit de transmission. Pour chacun d'eux, un circuit C.M.L devra être proposé permettant de supprimer ou de réduire les phénomènes limitant le débit de transmission.

On décrit également le circuit GIBSI réalisé en technologie BiCMOS par la société BULL en 1992 qui apporte une solution intéressante pour la réalisation d'un circuit critique pour le sérialiseur BiCMOS.

2.1 L'émetteur HS-Link

2.1.1 Vue générale de la macro-cellule

L'émetteur (serialiseur) reçoit des données parallèles sous la forme de mots de 12 bits de large synchronisés sur une l'horloge d'émission CKe. Les bits sont alors transmis en série sur la sortie série SDOUT. L'information "horloge" se trouve mélangée à l'information "données" sur ce signal unique. La première fonction du récepteur (deserialiseur) est de récupérer l'horloge d'émission dans le train de bits sur son entrée série SDIN. Les données sont alors resynchronisées sur l'horloge récupérée CKr. Ainsi, la particularité de la macro-cellule HS-Link est de permettre la transmission de données en mode asynchrone.

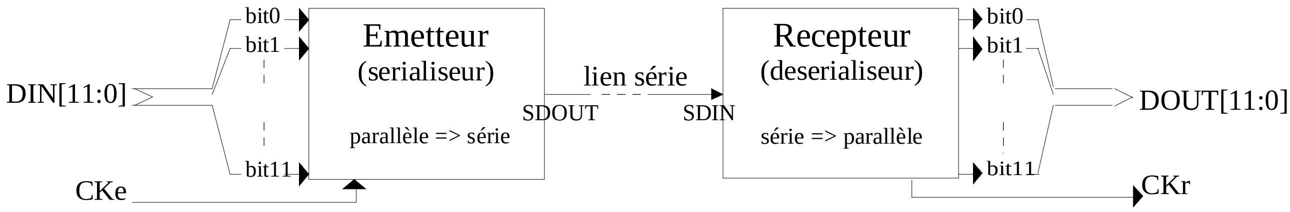


Figure 2.1.a : La macro-cellule HS-Link

Pour permettre au désérialiseur de récupérer l'horloge d'émission, deux bits de la donnée parallèle (DIN[11] et DIN[0]) ont des valeurs fixes 0 et 1 respectivement, afin de générer une transition montante en début de chaque mot transmis. Ce codage particulier, défini dans le protocole IEEE 1355, rend l'utilisation des concepts de désérialisation impropre à tout autre type de protocole. Les concepts de sérialisation, qui nous intéressent dans cette thèse, n'imposent aucune contrainte sur le codage des données parallèles et sont donc tout à fait généraux.

Conçue pour être intégrée facilement à la périphérie de circuits complexes, la surface et la consommation de la macro-cellule HSL sont :

- Surface : 2 mm^2 en technologie CMOS 0.5 µm. (émetteur = 0,8 mm^2, récepteur = 0,9 mm^2, buffers = 0,3 mm^2)
- Consommation : 300 mWatt sous une alimentation de 3.3 Volt à 1 Gbit/s. (émetteur = 90 mW, récepteur = 100 mW, buffers = 110 mW)

L'émetteur est divisé en deux blocs distincts: Le multiplieur d'horloges et le convertisseur parallèle/série.

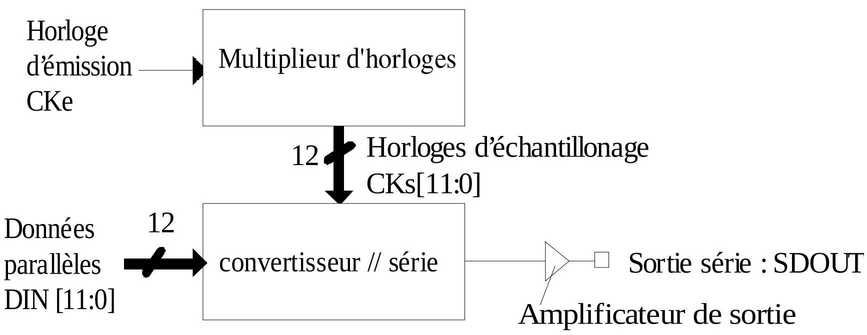


Figure 2.1.b : Vue générale de l'émetteur

Le multiplieur d'horloge génère, à partir de l'horloge d'émission CKe, 12 horloges d'échantillonnage CKs[11:0], régulièrement déphasées d'un retard τ. Ce retard est égal à 1/12ième de la période de l'horloge d'émission.
Le convertisseur parallèle/série gère l'envoi successifs des 12 bits de la donnée parallèle DIN[11:0] sur les fronts montant respectifs des 12 horloges d'échantillonnage (figure 2.1b).

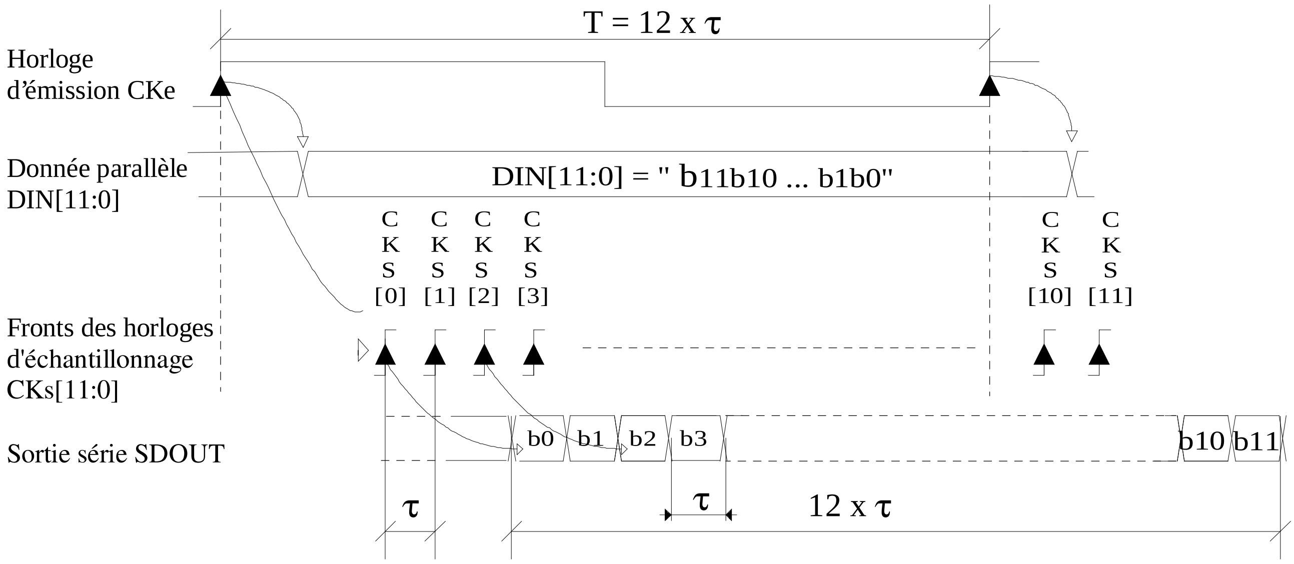


Figure 2.1.c : Le principe de conversion parallèle/série

2.1.2 Le multiplieur d'horloge

L'objectif est donc de générer 12 fronts d'horloge régulièrement déphasés d'un retard τ égal à T_{CKe} /12 (T_{CKe} = Période de l'horloge d'émission). Pour ce faire, une boucle à verrouillage de délai (D L L = Delay Lock Loop) a été proposée par R.Marbot et al. (et breveté par la société BULL sous le numéro de référence EP 3350). Elle se compose de quatre éléments distincts :

- Une bascule de déclenchement,
- Une chaîne de propagation de 12 retards variable,
- Un détecteur de phase,
- Un automate d'asservissement.

La figure 2.1.c montre une vue générale du DLL :

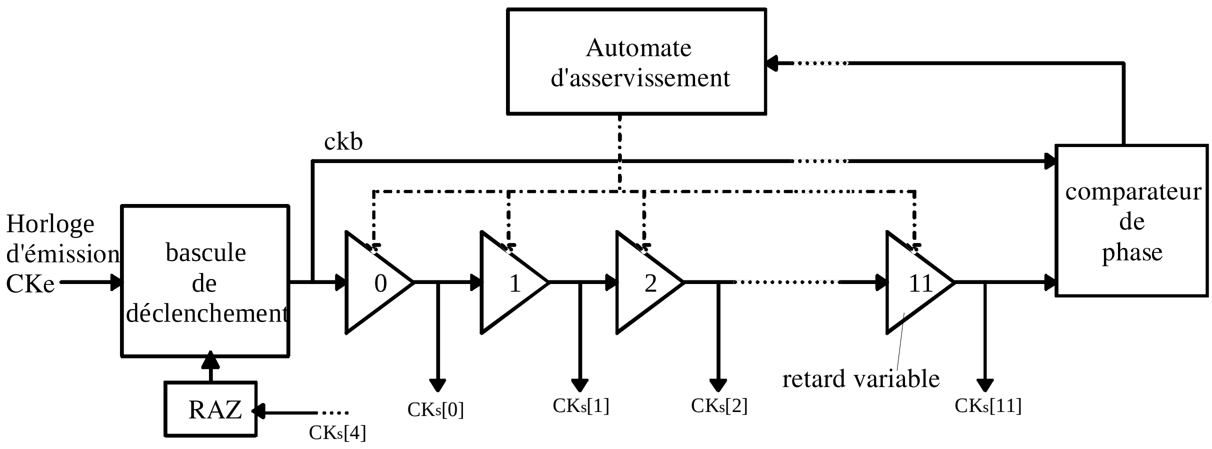


Figure 2.1.d : Schéma général du DLL

La DLL repose sur la qualité d'un retard variable pouvant prendre des valeurs discrètes de temps de propagation τ ($\tau_{min} < \tau(X) < \tau_{max}$) définies en fonction de la valeur d'une commande digitale, X, qui lui est appliqué.

L'initialisation du DLL consiste à positionner l'ensemble des retards variable sur leur temps de propagation minimum. Après la retombée du signal d'initialisation, les fronts montant de l'horloge CKe déclenchent les fronts montant du signal ckb en sortie de la bascule de déclenchement. Ces fronts se propagent à travers la chaîne de retards et arrivent au comparateur de phase avec un retard de phase de (T_{CKe} - 12 τ_{min}) par rapport au front montant suivant du signal ckb. Le comparateur de phase détecte ce retard et le transmet à l'automate d'asservissement qui incrémente la commande digitale d'un seul des 12 retards variable de la chaîne. Tant que le signal issu du 12ième retard est en retard par rapport à ckb, la commande digitale d'un des 12 retards est incrémentée. L'incrémentation des retards s'effectue selon un ordre prédéterminé et récurrent (retard 5,0,11,1,6,10,2,7,9,3,8,4 puis de nouveau 5,0 ... etc.) qui sera justifié au paragraphe 3.1.4 du chapitre suivant.

Lorsque que le temps de traversée des 12 retards devient supérieur à la période de l'horloge d'entrée T_{CKe}, le comparateur détecte une avance de phase du front du signal CKs[11] par rapport à ckb et l'automate d'asservissement décrémente la commande digitale du dernier retard variable sur lequel il pointait.

Dés lors le DLL rentre dans son état de calibration, où : n ($n \in [0,11]$) retards possèdent la commande X, (11-n) retards possèdent la commande X+1 et 1 retard prend successivement la commande X et X+1 (à chaque

cycle d’application de la correction par l’automate d’asservissement). La valeur digitale X est alors telle que :
$n\ \tau(X) + (11\text{-}n)\ \tau(X+1) + \tau(X) < T_{CKe}$ et $n\ \tau(X) + (11\text{-}n)\ \tau(X+1) + \tau(X+1) > T_{CKe}$
Notons ε l'incrément du retard variable : $\varepsilon = \tau(X+1) - \tau(X)$. A tout instant, la différérence entre deux retards τi et τj est au plus égale à ε.

On a ainsi atteint l'objectif de générer 12 fronts d'horloges déphasés d'un retard τ, avec $\tau = T_{CKe}/12$ (à l'erreur de résolution ε près). La période des 12 horloges d'échantillonnage est identique à celle de l'horloge d'émission. Les fronts montant de la première horloge d'échantillonnage CKs[0] sont déphasés par rapport aux fronts montant de l'horloge d'émission d'un retard fixe (fonction du temps de propagation de l'horloge d'émission à travers la bascule de déclenchement et de son temps de propagation à travers le retard zéro).

La bascule de déclenchement permet de se rendre indépendant du rapport cyclique de l'horloge d'émission et de générer 12 horloges CKs[i] de rapport cyclique de 50%. En effet, cette bascule est remise à zéro sur le front montant de l'horloge CKs[4]. C'est donc la retombée du signal ckb qui génère le front descendant des horloges d'échantillonnage.
Le chronogramme 2.1.e illustre le fonctionnement du DLL en régime établi :

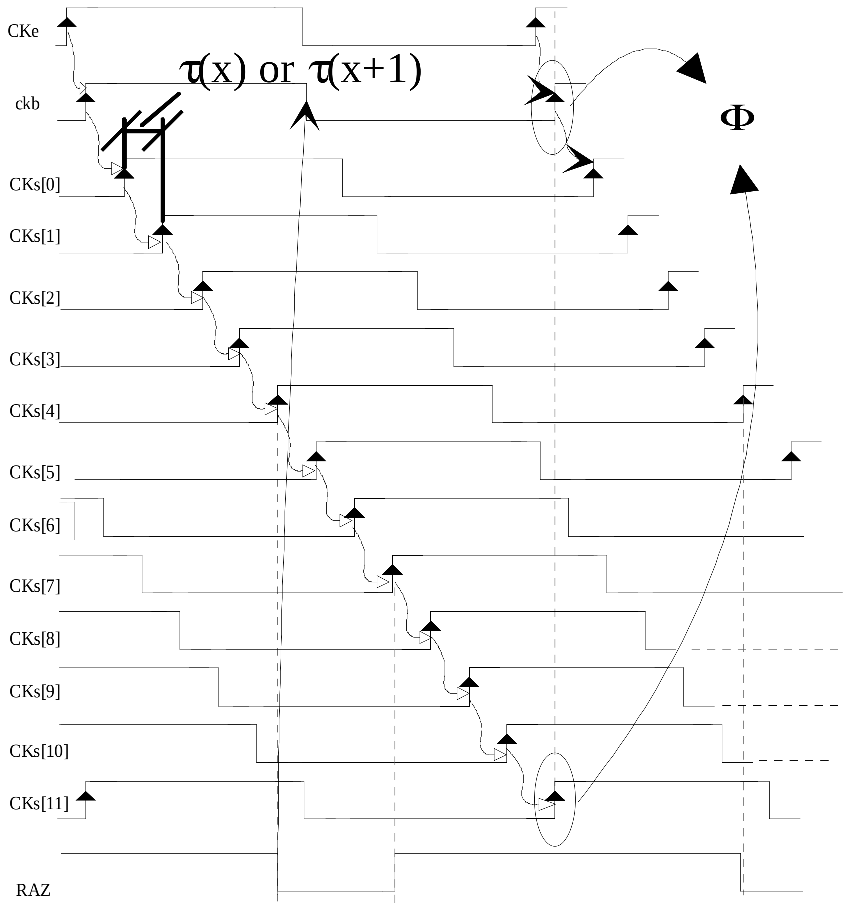


Figure 2.1.e : Fonctionnement de la DLL en régime établi

La précision de la DLL repose donc sur la résolution de son retard variable CMOS. HS-Link possède un retard variable utilisant le principe de l'interpolateur en courant.

Ce procédé permet de générer un déphasage entre deux fronts montant d'un signal avec une résolution supérieure au déphasage minimum obtenu par le temps de propagation d'une porte élémentaire pour une technologie donnée.

Dans un premier temps, le signal d'entrée est retardé par une succession de paires d'inverseurs de temps de propagation fixe Tf.

Selon le déphasage désiré, deux signaux consécutifs, de cette chaîne, sont transmis à l'entrée de l'interpolateur (le signal de sortie du retard variable est donc déjà retardé d'un temps fixe égal à n x Tf).

Dans un second temps, l'interpolateur génère le signal de sortie du retard variable, possédant un déphasage, par rapport à ces deux signaux d'entrée, pouvant varier linéairement entre 0 et Tf, en fonction d'une commande numérique appliquée.

La figure 2.1.f montre une vue générale du retard variable de la DLL possédant cinq retards fixes. Dans cette figure, la sortie DOUT est déjà retardée d'un temps fixe égal à 3 x Tf, avec le multiplexeur 6 vers 2 pointant sur les signaux V3 et V4 (fonction de la commande GAM[2:0]).

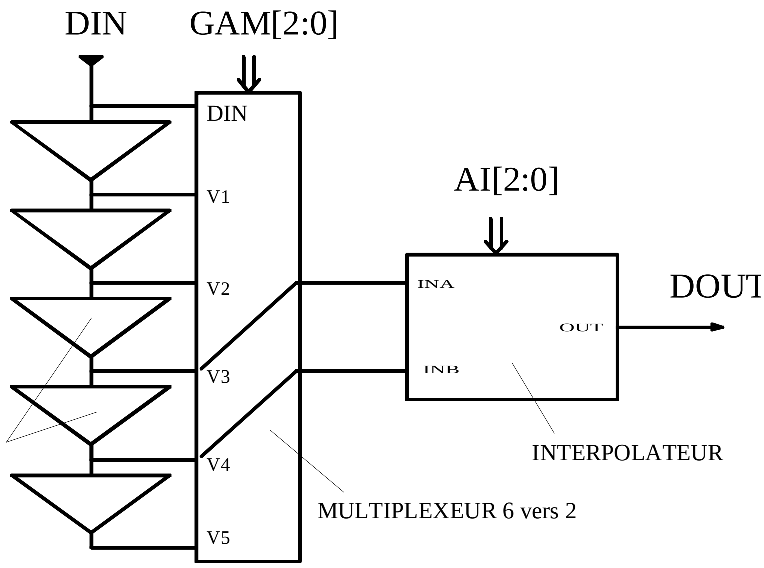


Figure 2.1.f : Le retard variable CMOS de la DLL

L'interpolateur reçoit en entrée les deux signaux INA et INB (déphasés du temps fixe Tf) et la commande numérique AI[2:0] (Figure 2.1.g).
A l'entrée INA (respectivement INB) est associée la branche paire (respectivement impaire). Selon la valeur de la commande de 3 bits (contrôlant les grilles des transistors NMOS et PMOS mis en parallèles et inversée pour chacune des branches) le signal de sortie OUT variera linéairement entre le temps de propagation pris par le signal INA lorsque l'ensemble du courant traverse la branche paire et le temps de propagation pris par le signal INB lorsque l'ensemble du courant traverse la branche impaire.

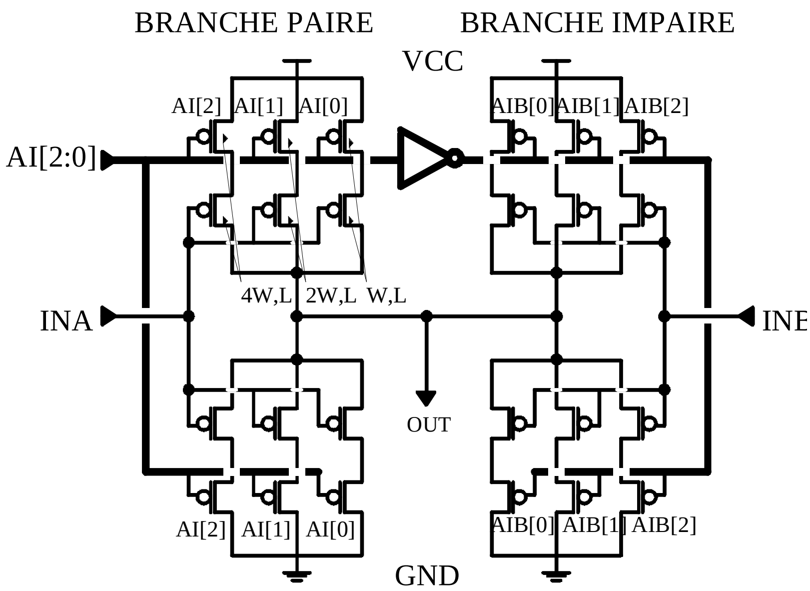


Figure 2.1g : L'interpolateur CMOS

2.1.3 Le convertisseur parallèle / série

Il doit transmettre successivement, sur la sortie série, les différents bits de la donnée parallèle (le bit DIN[0] sur le front montant de CKs[0], le bit DIN[1] sur le front montant de CKs[1], etc.).

Pour atteindre cet objectif, le convertisseur HS-Link possède un arbre de ou-exclusifs à douze entrées. A chaque bit DIN[i], de la donnée parallèle, est attribuée une entrée XIN[i] de l'arbre. Le mécanisme de conversion consiste à modifier l'état de l'entrée XIN[i], sur le front montant de l'horloge d'échantillonnage CKs[i], si la valeur du bit DIN[i] vaut "1" et de la laisser inchangée si elle vaut "0".

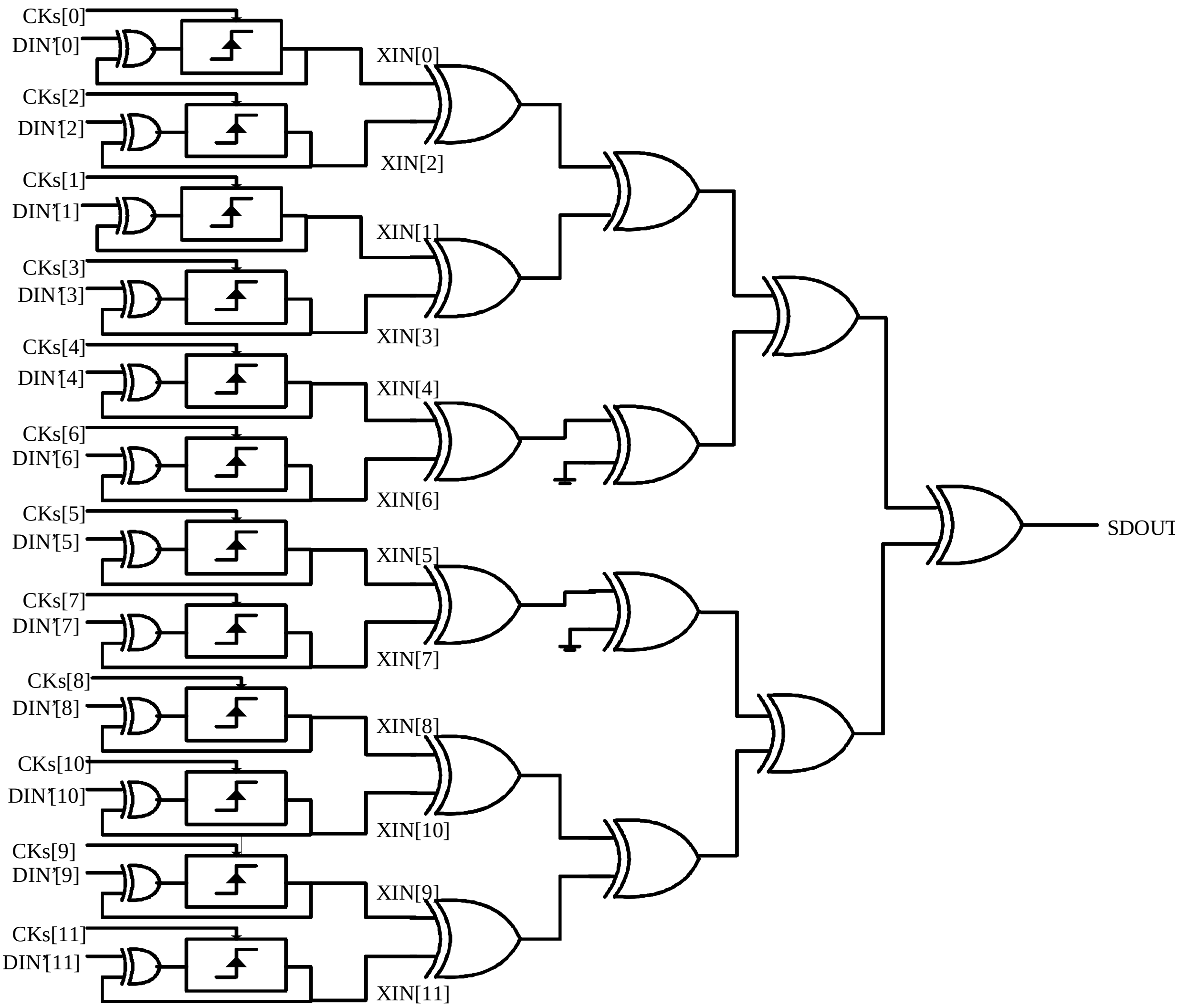


Figure 2.1.h : Conversion // série par l'arbre de ou-exclusifs

Comme la propriété de l'arbre de ou-exclusifs est de voir sa sortie changer d'état dés qu'un changement d'état survient sur l'une de ces entrées, le bit DIN[i] provoque un changement d'état à sa sortie si sa valeur vaut 1 et la laisse inchangée si valeur vaut 0 (figure 2.1.e).
Ainsi, les bits de la donnée DIN[11:0], codés en mode NRZ (Non Return to Zero), apparaissent à la sortie de l'arbre en série, codée en mode NRZI (Non Return to Zero Invert).
La figure 2.1.i illustre cette conversion pour DIN[11:] = "001110100110" :

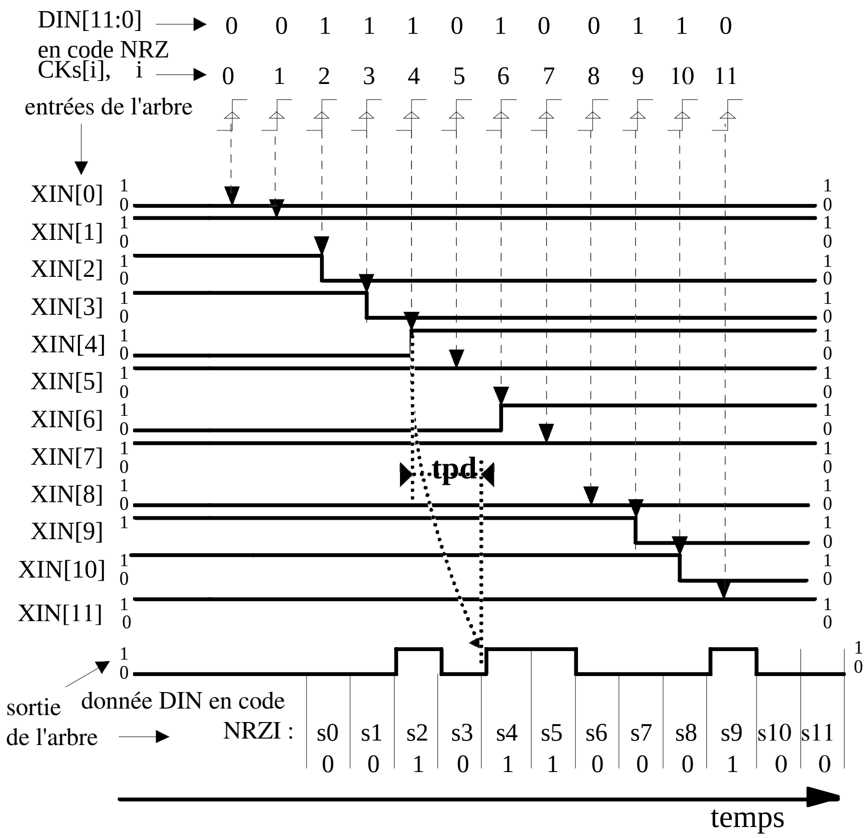


Figure 2.1.i : conversion // série à l'aide d'un arbre de ou-exclusifs

Dans la figure 2.1.i, on constate qu'il est nécessaire d'égaliser le temps de propagation (tpd) des différents chemins de l'arbre de ou-exclusifs, pour obtenir une durée identique pour chacun des bits séries.
Les contraintes électriques de transmission sur câble ou sur fibre optique nécessite que le signal électrique transmis ait une composante continue nulle, c'est à dire qu'on transmette autant de "1" que de "0", pendant une période de temps fini. Ceci impose de "surcoder" les données.

Pour satisfaire à cette contrainte, un encodeur est placé en amont de l'émetteur. Dans le protocole IEEE 1355, les caractères ont une largeur de 9 bits. Les données parallèle fournis à la macro-cellule ont subis un "surcodage" pour atteindre une largeur de 12 bits. Ainsi, c'est l'encodeur 9bits/12bits qui gère la séquence des "1" et des "0" dans le train bit transmis.
Dès lors, il est nécessaire que les bits DIN[0] à DIN[11] apparaissent sur la sortie série dans le code NRZ dans lequel ils ont été reçu.
La propriété de commutativité de la transformation NRZ vers NRZI permet d'atteindre cet objectif, en effet :

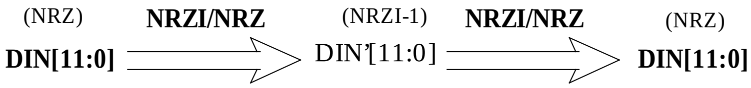


Figure 2.1.j : Commutativité de la transformation NRZ/NRZI

Ainsi, en soumettant en entrée la donnée DIN[11:0] à la transformation NRZI/NRZ, les bits de la donnée parallèle se retrouvent en sortie de l'arbre de ou-exclusif dans le code initial (NRZ).
Le figure 2.1.g présente l'ensemble du convertisseur parallèle/série de la macro-cellule HS Link :
Le premier étage récupère les données parallèle à l'interface de la macro-cellule et réalise la transformation (NRZI/NRZ).
Le second étage permet de stabiliser les bits de la donnée parallèle pendant leurs évaluations sur les fronts des horloges d'échantillonnage de l'étage 3.
Le troisième étage implémente le mécanisme précédemment décrit.
Enfin le quatrième étage est constitué de l'arbre de ou-exclusifs.

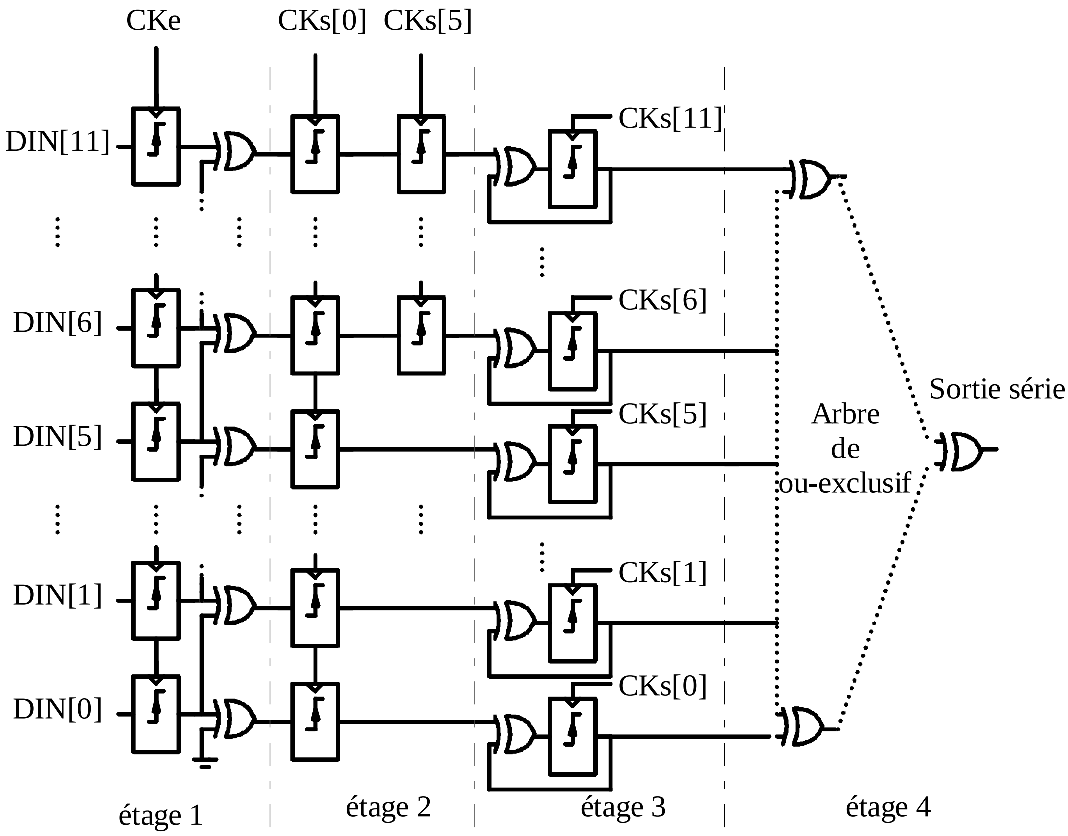


Figure 2.1.k : Vue générale du convertisseur parallèle/série

2.1.4 Analyse du *jitter*

Le jitter mesuré sur le signal série de la macro-cellule HS-Link, en technologie CMOS 0,5 µm, est de **300 ps**.

Cette mesure représente l'écart entre la position temporelle des différents fronts de transition du signal série obtenus par la superposition sur un oscilloscope de l'ensemble des bits transmis. Ainsi, elle révèle la différence de temps de propagation des fronts du signal série à travers les circuits CMOS de l'émetteur.

La génération d'une transition sur la sortie série (liée à l'envoi du bit DIN[i]) peut se décomposer en deux phases:

Phase 1- La génération du front montant CKs[i] ($0 \leq i \leq 11$) de l'horloge d'échantillonnage à partir du front montant de l'horloge d'émission CKe.

Phase 2- La génération du changement d'état de la sortie série, sur le front montant de CKs[i], en fonction de la valeur du bit DIN[i].

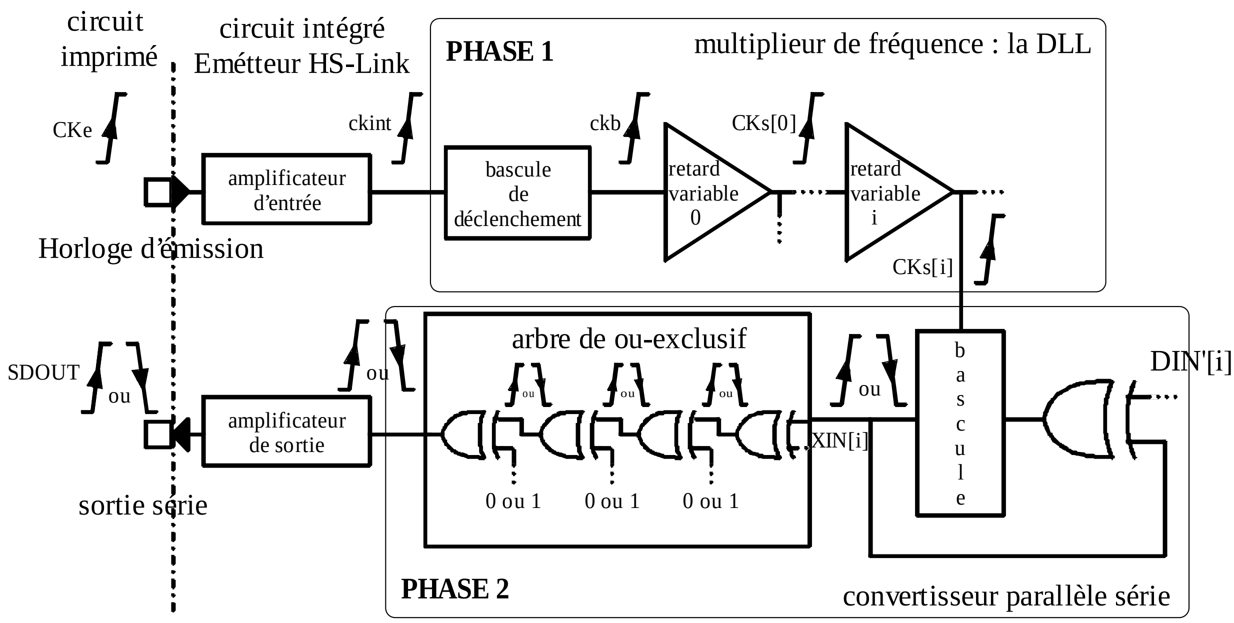


Figure 2.1.l : Chemin critique générant l'apparition du bit DIN[i] sur la sortie série

Les différences de temps de propagation dans la génération des transitions sur le signal série résultent de différents facteurs selon la nature des circuits CMOS intervenant dans le chemin présenté dans la figure 2.1.l.

• Différence de temps de propagation des fronts montant et descendant des portes CMOS

Des différences de temps de propagation dans l'arbre de ou-exclusifs, pouvant atteindre **80 ps**, ont put être mesurées par simulation électrique. Ces différences sont dues essentiellement à la différence de temps de propagation dans la porte ou-exclusif selon la nature de la transition (montante ou descendante) et de l'état ("0" ou "1") de la seconde entrée de la porte. Pour arriver a ramener ces différences à 80ps (elles étaient initialement de 150 ps), on utilise des portes ou-exclusif différentielles (signal direct et complémentaire). Dès lors un circuit à pass-transistors (figure 2.1.m) a du être introduit devant chaque entrées de l'arbre pour complémenter la sortie directe de la bascule d'échantillonnage.

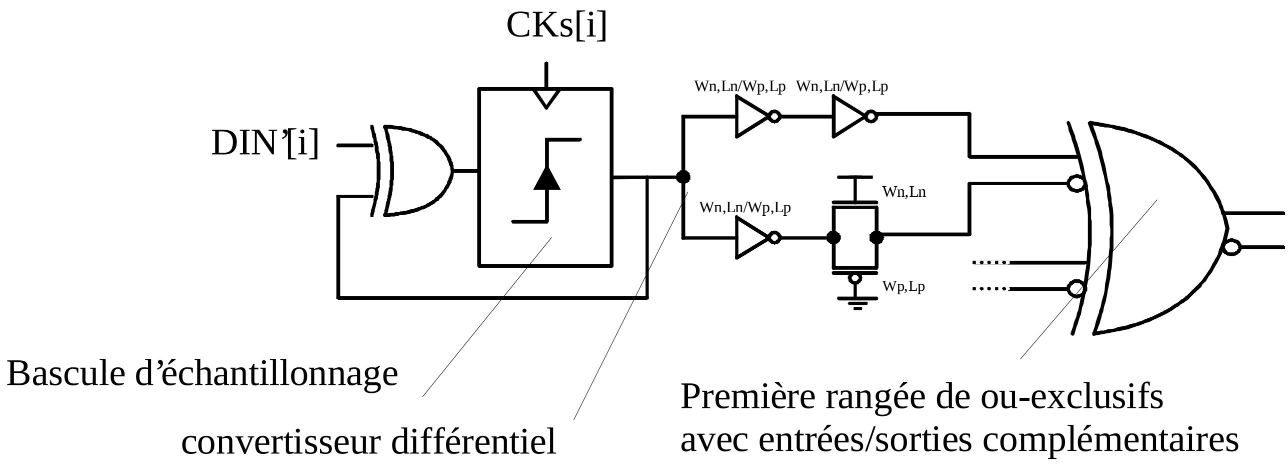


Figure 2.1.m : Génération du signal complémentaire

Par ailleurs, la différence de temps d'établissement d'un "1" et d'un "0" en sortie de la bascule d'échantillonnage sur le front montant de l'horloge CKs[i] est de **40 ps**.

- La résolution du retard variable de la DLL

Les transitions apparaissant sur la sortie série sont synchronisées sur les fronts montant des horloges d'échantillonnage. Elles sont donc directement liées au déphasage entre les fronts des horloges d'échantillonnage de la DLL. La résolution du retard variable, ε, introduit une imprécision de **50 ps** sur ce déphasage.

- La bande passante du ou-exclusif

Le dernier étage de l'arbre de ou-exclusifs, ainsi que l'amplificateur de sortie fonctionnent à la fréquence de transmission. Ainsi, la bande passante du dernier ou-exclusif de l'arbre limite la fréquence de transmission au voisinage de 600 Mhz (=1.2 Gbit/s). A 600 Mhz le signal de sortie du ou-exclusif n'a plus le temps d'atteindre sa valeur nominale avant de rebasculer.

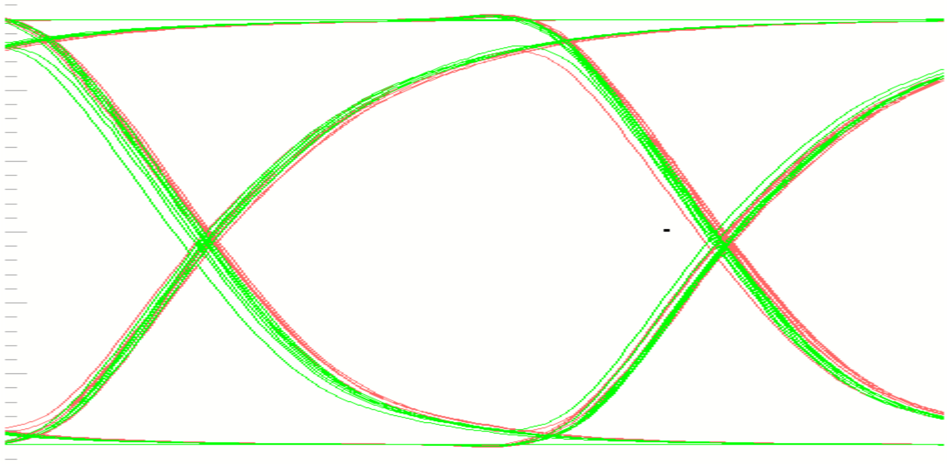


figure 2.1.n : Diagramme de l'oeil en sortie de l'arbre de ou-exclusifs

Le diagramme de l'oeil (figure 2.1.n) réalisé en sortie du dernier ou-exclusif de l'arbre pour une durée de bit de 833 ps (<=> 600 Mhz) montre ce phénomène. La simulation est réalisée sur l'ensemble du convertisseur parallèle/série à l'aide du simulateur ELDO. Les horloges d'échantillonnage fournies au convertisseur sont idéales et les données parallèles sont peusdo-aléatoires.
Le signal n'ayant pas le temps d'atteindre sa valeur nominale avant de rebasculer, ce front "mou" contribue également à la création du *jitter*.

L'ensemble des causes déterministes du jitter observé sur la sortie série sont décelables par simulation électrique (simulateur HSPICE ou ELDO) des circuits de l'émetteur HS-Link. Le tableau 2.1.o résume ces principaux résultats :

	jitter (ps)
Différence de temps de propagation	
Arbre de ou-exclusifs	80 ps
bascule d'échantillonnage	40 ps
Résolution du retard variable	50 ps
Total =	**170 ps**

Table 2.1.o : *Jitter* déterministe sur la sortie série d'HS-Link

Le reste du *jitter* total de 300 ps (soit 130 ps), reste imputable à du *jitter* probabiliste. Ce *jitter* est lié aux perturbations (variations de la tension d'alimentation, de la température, etc.) auxquels sont soumis les circuits générant et véhiculant le signal série. Au premier ordre, il est proportionnel aux temps de propagation intrinsèque des circuits et de la durée des fronts des signaux générés.

A 1 Gbit/s, le jitter total représente déjà 30% de la durée du bit série. Afin d'atteindre des débits nettement supérieurs, il est donc nécessaire de transférer l'ensemble des circuits CMOS de ce chemin critique en circuiterie CML, permettant de diminuer la durée des fronts des signaux générés, d'égaliser le temps des fronts montant et descendant et d'augmenter la bande passante des circuits fonctionnant à la fréquence de transmission.

2.1.5 Conclusions

Pour ce qui concerne la DLL, la bascule de déclenchement et la chaîne de retards, faisant partie du chemin critique seront réalisées en circuits CML. Le comparateur de phase devant détecter une différence de phase inférieure à 20 ps entre les signaux issus de la bascule de déclenchement et du dernier retard variable de la chaîne devra être également réalisé en CML (une conversion CML/CMOS de ces signaux engendrerait une trop grande imprécision). Par contre, l'ensemble du système d'asservissement, représentant près de 75% du nombre total de transistors du multiplieur de fréquence et fonctionnant à basse fréquence (80 Mhz), pourra être conservé en CMOS.

De même, seuls les bascules d'échantillonnage et l'arbre de ou-exclusifs devront être transférés en circuits CML pour la réalisation du convertisseur parallèle/série. Les bascules de resynchronisation (étage 1) et de conversion NRZI/NRZ (étage2) seront conservés en circuits CMOS. Le tableau 2.1.1 présente la complexité des différents blocs de l'émetteur HS-Link et les choix pris quand à leur réalisation pour le nouvel émetteur BiCMOS.

	Emetteur CMOS		**Emetteur BiCMOS**
	nbre de portes équivalentes	**Surface (mm^2)**	**Circuits utilisés**
Multiplieur de fréquence	4155	0,55	
Chaîne de retards	913	0,1	CML
Système d'asservissement	3090	0,44	CMOS
Comparateur de phases	137	0,006	CML
Bascule de déclenchement	15	0,004	CML
Convertisseur parallèle/série	1040	0,25	
Bascule de resynchronisation (étage 1 et 2)	524	0,12	CMOS
Codage NRZ/NRZI (étage 3)	216	0,075	CML
Arbre de ou-exclusifs	300	0,055	CML

figure 2.2.l : Surface et complexité des différents bloc

2.2 Le circuit GIBSI

Le circuit GIBSI est un circuit expérimental, développé par l'équipe de R.Marbot chez BULL. Réalisé en 1992, il a permis de démontrer la faisabilité d'une multiplication de fréquence par l'utilisation d'un arbre de ou-exclusifs ECL, pour des fréquences allant jusqu'à 1.6 Ghz.
Le schéma ci-dessous présente une vue générale du circuit :

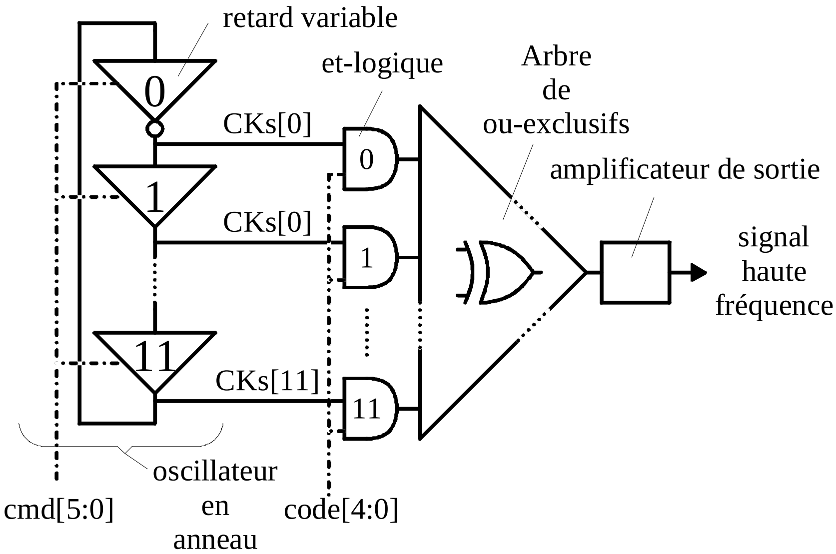


Figure 2.1.a : Vue générale du circuit Gibsi

Le circuit est composé d'un oscillateur en anneau constitué de 12 retards variables ECL dont le temps de propagation est contrôlé par une commande digitale commune cmd[5:0]. Les douze horloges ainsi générées, et déphasées d'un retard τ constant, sont envoyées sur les entrées d'un arbre de ou-exclusifs. Une porte ET-logique est insérée à chaque entrée de l'arbre afin de pouvoir inhiber individuellement l'action des douze horloges. La fréquence maximum générée en sortie de l'arbre est égale à $1/2\tau$.

2.2.1 Le retard variable ECL

Le retard variable ECL est composé de deux retards fixes générant trois signaux (V1,V2,V3) déphasés d'un temps de propagation fixe Tf. Un multiplexeur permet de sélectionner deux signaux consécutifs sur l'entrée d'un interpolateur.

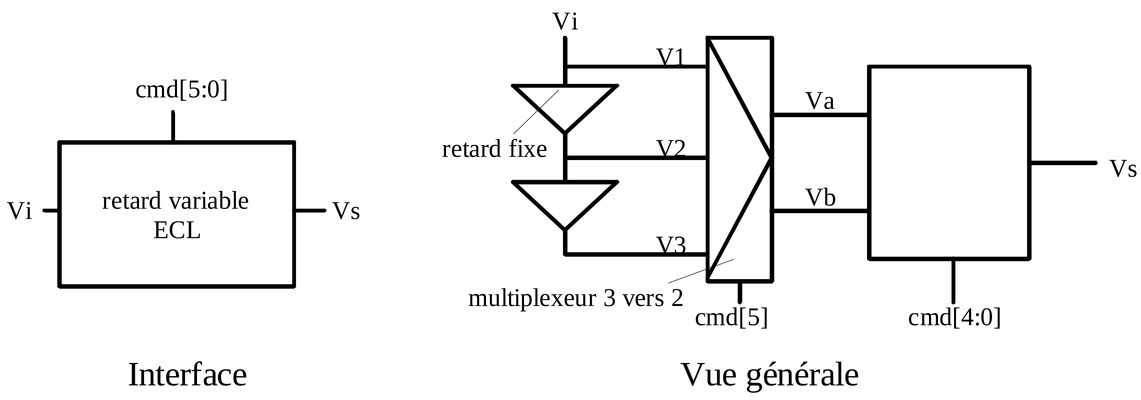


Figure 2.1.b : le retard variable de GIBSI

L'interpolateur repose sur la somme pondérée en courant de deux paires différentielles, l'une commandée par le signal Va, la seconde par le signal Vb (figure 2.2.c).

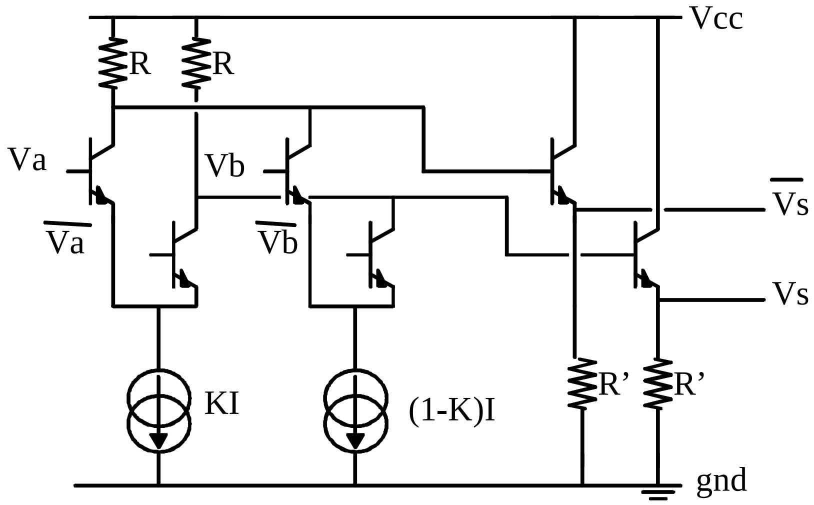


Figure 2.2.c : Interpolateur linéaire en circuiterie ECL

Le signal Vs issu de l'interpolation voit sa phase varier linéairement depuis la phase du signal Va jusqu'à celle du signal Vb (figure 2.2.d).

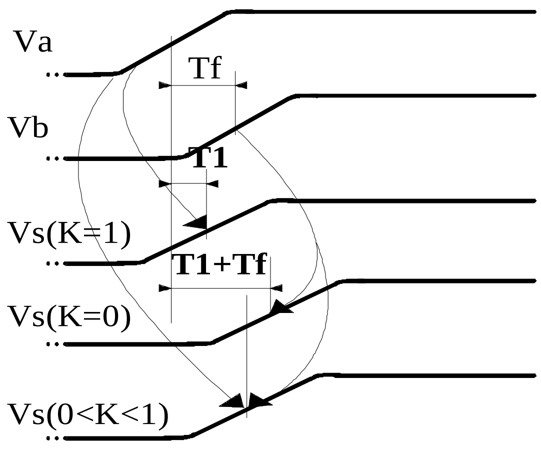


figure 2.2.d : Interpolation linéaire des signaux Va et Vb
avec le coefficient pondérateur K.

Ainsi, ce procédé permet d'obtenir des temps de propagations intermédiaires entre T1 et T1+Tf, avec une résolution définie par le nombre de valeurs prises par le coefficient pondérateur K.

La source de courant, contrôlée par la commande numérique cmd[4:0], utilise le principe du réseau R-2R. Dans la figure 2.2.e, le courant décroît régulièrement d'un facteur 2 dans chaque branche du réseau :

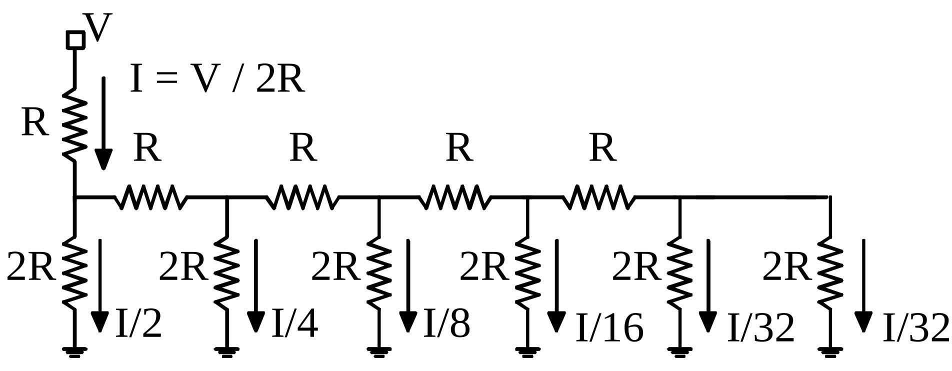


Figure 2.2.e : Réseau R-2R

Ainsi, en sélectionnant de façon complémentaire les branches qui alimentent la paire différentielle liée à la tension Va et Vb, on assure une incrémentation régulière du temps de propagation du signal en sortie de l'interpolateur.

$$Iva = cmd(4) \times I/2 + cmd(3) \times I/4 + cmd(2) \times I/8 + cmd(1) \times I/16 + cmd(0) \times I/32$$
$$Ivb = \overline{cmd(4)} \times I/2 + \overline{cmd(3)} \times I/4 + \overline{cmd(2)} \times I/8 + \overline{cmd(1)} \times I/16 + cmd(0) \times I/32$$

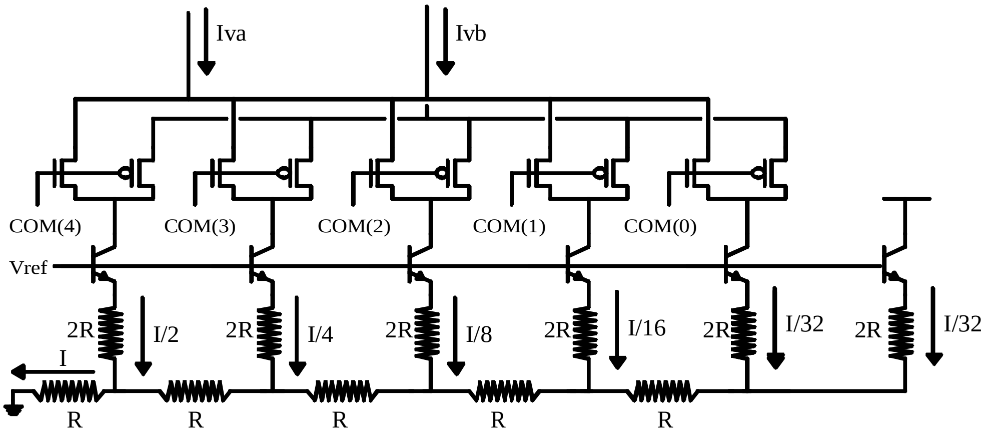
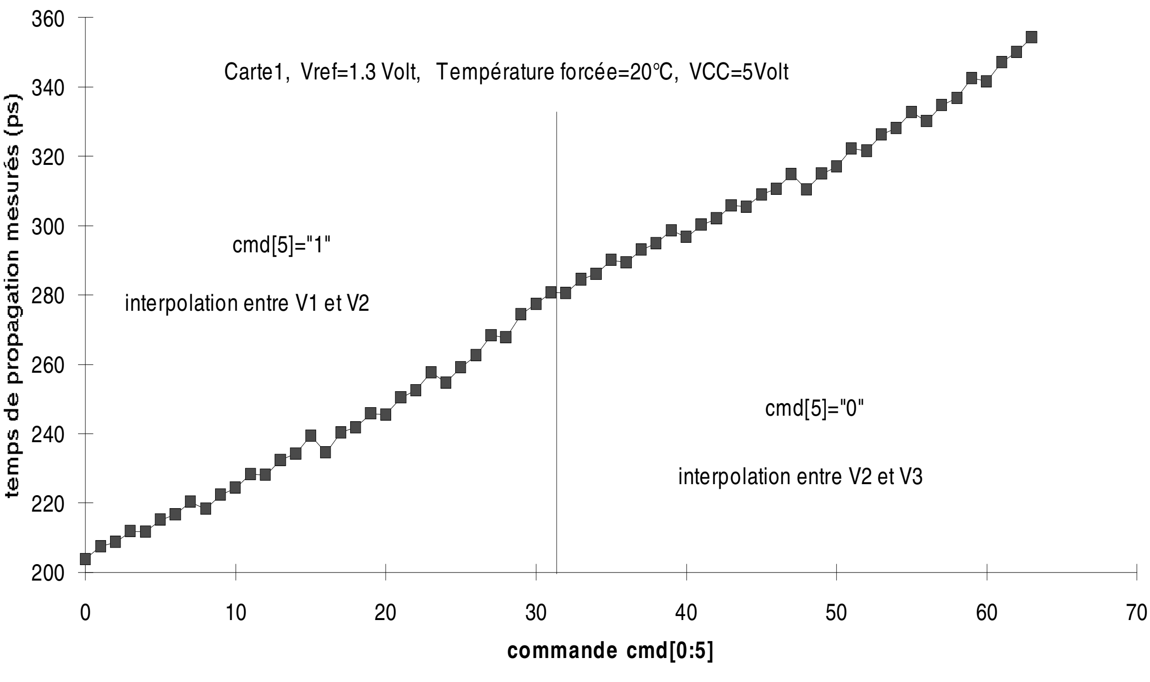


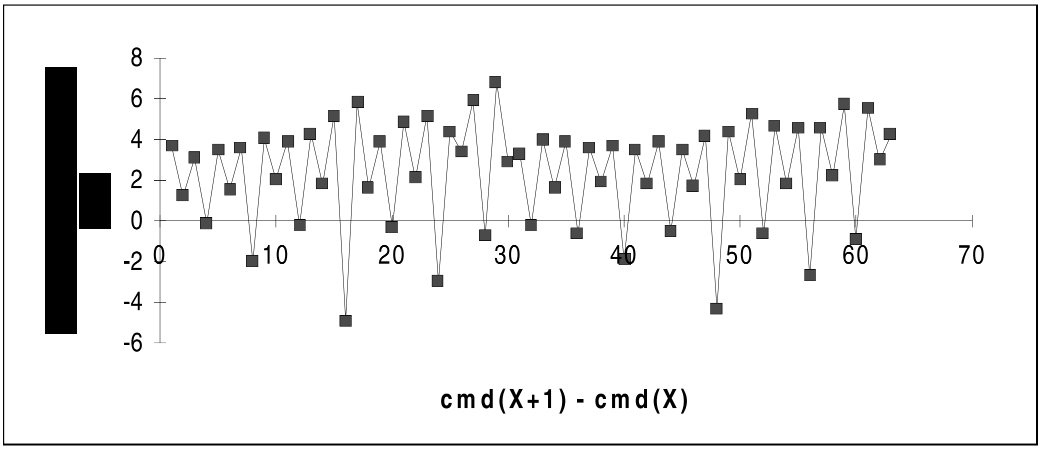
Schéma 2.2.f : Génération de deux sources de courant complémentaires à partir de la commande digitale cmd[4:0].

La commande du retard ECL de GIBSI peut prendre 64 valeurs. Les résultats de mesures sur la caractérisation du retard variable de GIBSI sont présentés sur la courbe 2.2.g :



Courbe 2.2.g : Résultats de caractérisation du retard variable de Gibsi

Les résultats de caractérisation du retard montre l'excellente résolution que l'on peut obtenir par le principe d'interpolation. Les pas entre les différents temps de propagation pris par le retard restent inférieurs à 8 ps.



Courbe 2.2.h : Calculs des pas entre les différents temps de propagation

Malheureusement, s'il n'est pas impératif que la caractéristique de l'interpolateur soit linéaire pour le bon fonctionnement de la DLL, il est fortement souhaitable d'assurer sa monotonie. En effet, s'il y a non-monotonie, la DLL oscillera non plus sur deux valeurs de commandes mais sur quatre, ce qui engendre une imprécision sur le déphasage des fronts des horloges d'échantillonnage trop importante.

Ainsi, pour la réalisation du retard variable de la DLL BiCMOS, les principes d'interpolation utilisés dans le circuit GIBSI offrent l'avantage d'une très bonne résolution pour le pas d'incrémentation. Mais il faudra rendre la variation de ce retard monotone et si possible linéaire.

L'augmentation du nombre de gammes (nombre de retards placés devant l'interpolateur) permettra d'augmenter la plage couverte par les différents temps de propagation du retard variable et de répondre aux objectifs fixés pour le serialiseur BiCMOS.

2.2.2 L’arbre de ou-exclusifs

L'arbre utilisé pour la multiplication de fréquence possède douze entrées différentielles et une profondeur de 4 étages de ou-exclusifs.
La porte ou-exclusif, réalisée en E.C.L est présentée dans schéma 2.2.i :

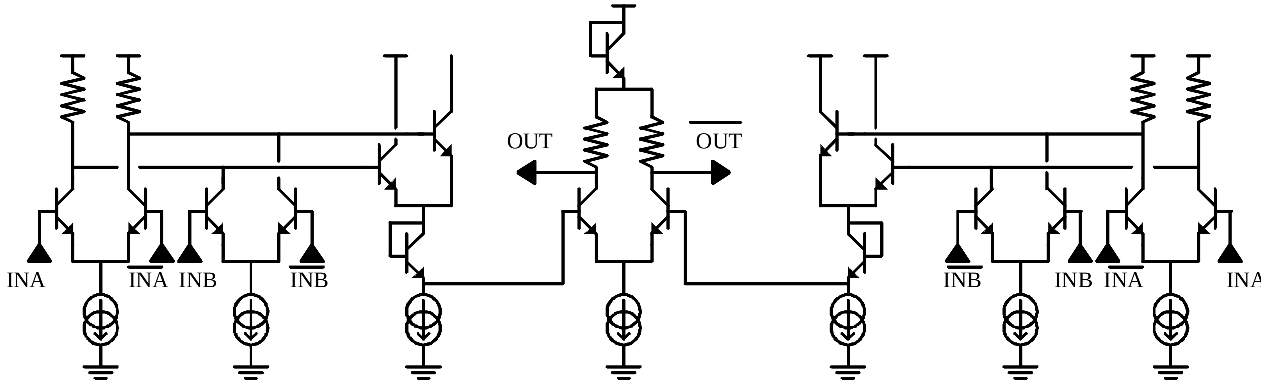


Schéma 2.2.i : OU-exclusif à niveau E.C.L utilisé dans l'arbre de GIBSI

Les résultats obtenus sur le circuit GIBSI permettent de justifier le choix d'un arbre de ou-exclusifs pour la réalisation du convertisseur parallèle/série de l'émetteur BiCMOS. En effet, la période et le rapport cyclique du signal en sortie du circuit sont suffisamment stables et ce jusqu'à 630 ps (<=> 1.6 Ghz).

Les différences sur la durée des niveaux haut et bas de l'horloge en sortie du circuit restent inférieures à 20% à 1.6 Ghz. Elles sont imputables aux discontinuités observés sur l'incrément du retard variable ECL et aux temps de propagation différents dans l'arbre de ou-exclusifs dus à la réalisation du ou-exclusif en circuiterie ECL. En effet, le comportement de l'émetteur suiveur n'est pas identique pour la traversée d'un front montant et descendant. La réalisation du ou-exclusif en circuiterie CML devrait minimiser les déphasages liés à la traversée de l'arbre de ou-exclusifs.

2.3 Conclusion

Les concepts de sérialisation HS-Link, développés à l'origine pour une technologie CMOS, repose sur le principe de réduire au minimum les circuits sensibles intervenant dans la génération du signal série. Ainsi, ils sont parfaitement adaptés à l'utilisation de la technologie BiCMOS où l'utilisation de transistors bipolaires doit être minimisée.
L'analyse du chemin critique réalisée dans ce chapitre permet de déterminer les circuits sensibles devant être réalisés en circuiterie CML et on peut évaluer le poids (en fonction du nombre de portes élémentaires que

représente chaque circuit) des différents circuits CML du sérialiseur BiCMOS.

	Pourcentage du nombre de portes par rapport à l'ensemble, dans l'émetteur CMOS	**Réalisation**
Multiplieur de fréquence	**80%**	
Chaîne de retards	17,6 %	CML
Système d'asservissement	59,5 %	CMOS
Comparateur de phases	2,6 %	CML
Bascule de déclenchement	0,3 %	CML
Convertisseur // série	**20%**	
Bascule de resynchronisation + NRZI/NRZ (étage 1 et 2)	10,1 %	CMOS
Codage NRZ/NRZI (étage 3)	4,15 %	CML
Arbre de ou-exclusifs	5,75 %	CML

figure 2.3.j : Estimation de la complexité des différents blocs CML

Ce tableau montre que les parties CML représenteront seulement 30 % de l'ensemble des circuits de l'émetteur BiCMOS.

Nous avons vu que la technique du retard variable GIBSI apporte une solution intéressante pour la réalisation de la DLL BiCMOS. Cependant, la largeur de 40 bits pour les données parallèles, fixée au chapitre précédant, exige une chaîne de 40 retards variable pour la DLL. La plage couverte par ce retard est d'environ 160 ps. Pour couvrir l'ensemble des débits compris entre 1.5 et 3 Gbit/s, nous verrons que cette plage doit s'étendre à environ 650 ps (ce qui nécessite 5 retards fixes en amont de l'interpolateur). Ceci signifie qu'un seul retard variable nécessite 19 sources de courant ce qui porte la consommation totale de la chaîne de 40 retards à :

Puissance consommée estimée = 3.3 Volt x [40 x (19 x 150 µA)] = 376 mWatt

Par ailleurs, nous verrons au prochain chapitre que la largeur fixée de 40 bits pour les données parallèles porte le nombre de ou-exclusifs de l'arbre à 47. Le ou-exclusif de GIBSI comportant 7 sources de courant, cela amène la consommation totale estimée de l'arbre à :

Puissance consommée estimée = 3.3 Volt x [47 x (7 x 150 µA)] = 163 mWatt

Ces consommations sont trop élevées et de nouveaux circuits doivent être proposés afin de diminuer le coût en terme de consommation et de surface.

Chapitre 3

Le serialiseur BiCMOS

Ce chapitre présente les principales modifications apportées aux circuits CMOS et BiCMOS décrits précédemment, pour la réalisation de la macro-cellule serialiseur fonctionnant jusqu'à 3 Gbits/s. Afin de profiter des avantages de la circuiterie CML et de minimiser la consommation et la surface, nous introduisons un nouveau concept dans la DLL BiCMOS. Nous analysons, également, les implications liées au choix d'une donnée parallèle de 40 bits de large sur l'ensemble du circuits.

Enfin, un bilan, réalisé sur l'ensemble de la macro-cellule, permettra d'évaluer le coût en terme de surface et de consommation du passage à la technologie BiCMOS.

3.1 Le multiplieur de fréquence

3.1.1 Utilisation des avantages de la circuiterie CML

La chaîne de retards doit générer des fronts d'échantillonnage régulièrement déphasés. Les temps de propagation des fronts montant et descendant dans le retard variable CMOS différent de plusieurs dizaines de picosecondes. Ceci contraint à utiliser un seul type de front.

En réalisant le retard variable en CML différentielle cette contrainte disparaît. Les transitions montantes et descendantes sont, pour cette circuiterie, pratiquement égales (< 5ps). Elle bascule en effet sur l'inversion de la différence de potentiel entre ces signaux d'entrées (direct et complémentaire).

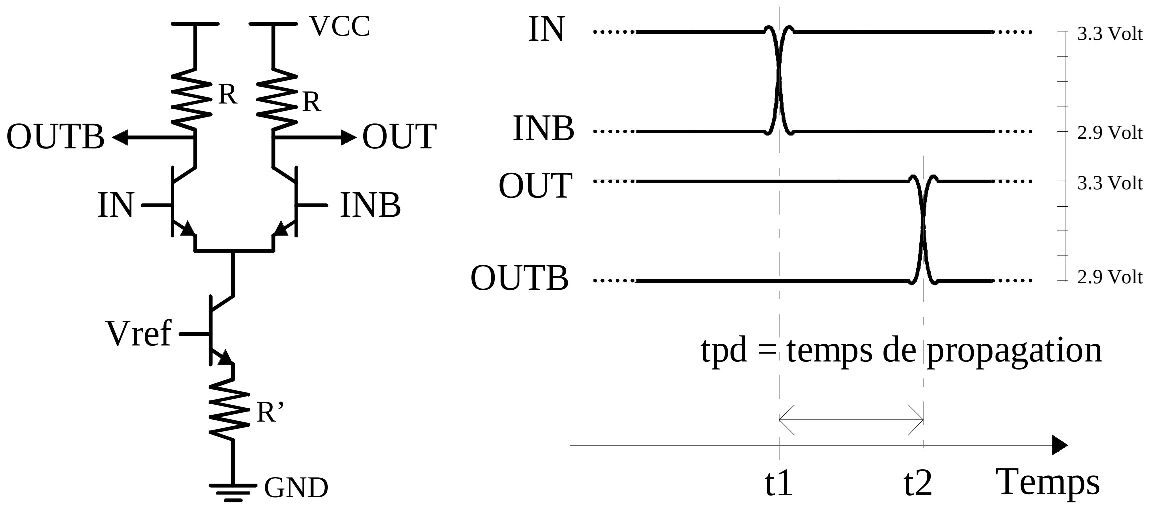


Figure 3.1.a : Mesure du temps de propagation d'une porte CML

Ainsi, la porte de logique complémentaire s'obtient par simple inversion des signaux de sortie de la porte directe. Par exemple, une porte NON-ET logique est identique à la porte ET logique aux inversions des sorties près.

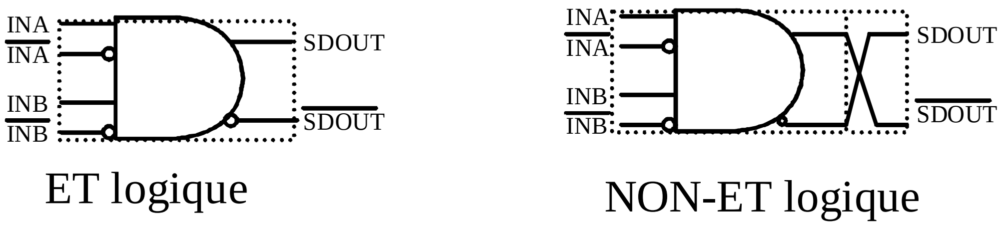


Figure 3.1.b : Porte logique CML complémentaire

Enfin, la complémentation d'un signal peut être réalisée avec un temps de propagation nul en inversant les "rôles" des signaux véhiculant le signal direct et complémentaire.

Dès lors, l'utilisation de fronts descendant, dans la chaîne de retard variable, est rendue possible.

3.1.2 La DLL BiCMOS

Le nouveau principe introduit dans la DLL permet de diviser par deux son nombre de retards. Il repose sur le rebouclage de la chaîne de retards permettant de générer à partir du front montant de l'horloge d'émission 20 fronts montant suivis de 20 fronts descendant formant les 40 fronts d'échantillonnage (figure 3.1.c).

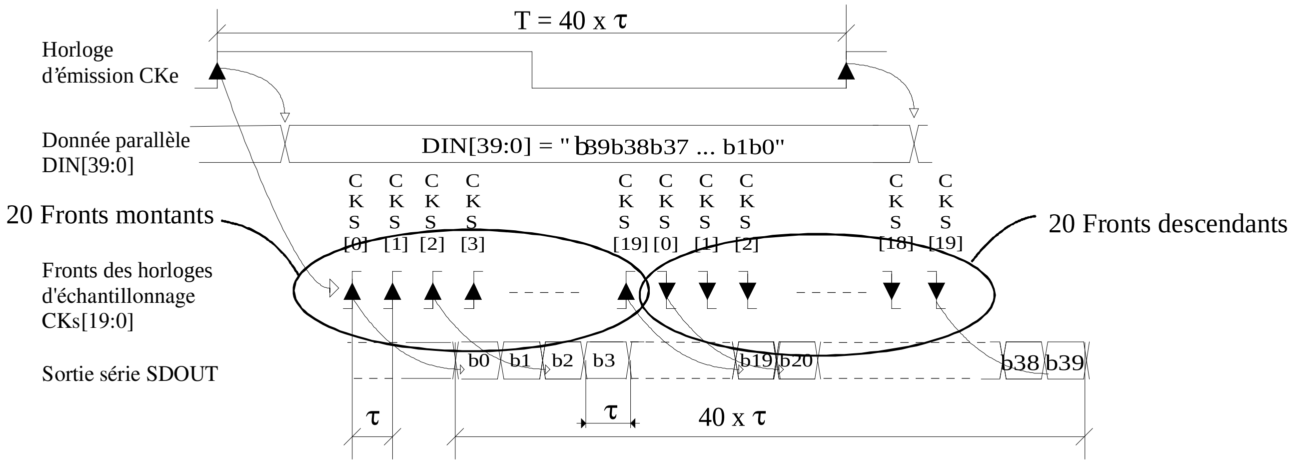


Figure 3.1.c : Génération des quarante fronts d'échantillonnage

L'ensemble des fronts montant et descendant doivent être rigoureusement déphasés de la même valeur τ, égale à 1/40ème de la période de l'horloge d'émission. En particulier, pour que le déphasage entre le front montant de CKs[19] et le front descendant de CKs[0] soit égal à τ , l'inverseur de rebouclage de la DLL BiCMOS (Figure 3.1.d) doit posséder un temps de propagation nul.

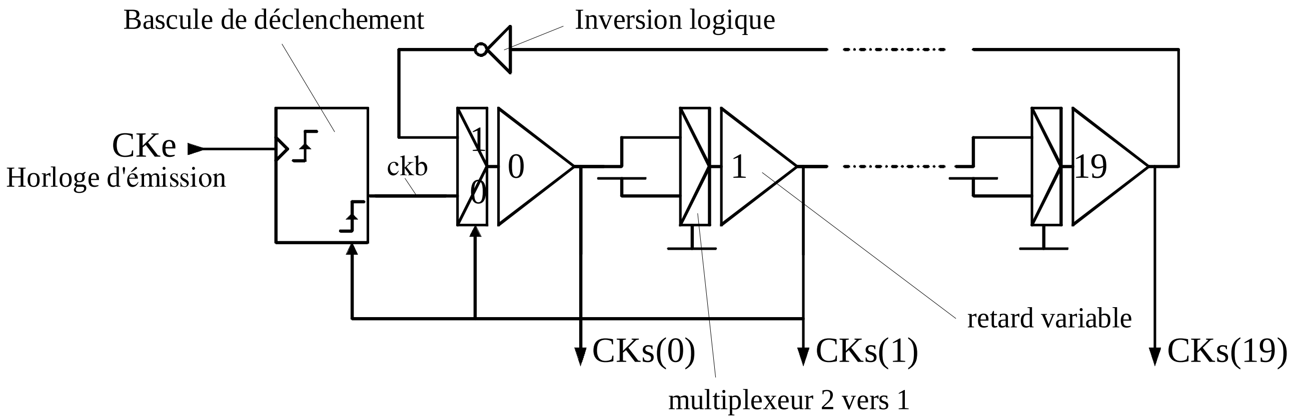


Figure 3.1.d : Rebouclage de la chaîne de retards dans la DLL BiCMOS

Le niveau de l'horloge CKs[1] détermine l'entrée du premier retard variable :
Quand la commande du premier multiplexeur vaut "0", on fonctionne en mode DLL. Les fronts montant en sortie de la bascule de déclenchement sont introduits dans la chaîne de retards.
Quand la commande du premier multiplexeur vaut "1", on fonctionne en mode rebouclage. Les fronts montant de l'horloge CKs[19] sont réintroduits, après inversion, dans la chaîne de retards.

A l'initialisation du circuit, la sortie de la bascule de déclenchement est forcée à l'état bas. L'ensemble des vingt horloges d'échantillonnage sont à l'état bas (le multiplexeur du premier retard variable étant forcé sur la sortie de la bascule de déclenchement). Ainsi, l'ensemble du montage est dans un état stable et seul un changement d'état de la sortie de la bascule de déclenchement peut le faire évoluer.
A la retombée du signal d'initialisation, l'arrivée du front montant de l'horloge d'émission génère une transition montante en sortie de la bascule de déclenchement. Cette transition se propage dans la chaîne de retards. Lorsqu'elle affecte l'horloge CKs[1], le multiplexeur bascule sur la sortie du dernier retard. Lorsque la transition atteint le vingtième retard, elle est réintroduite sous forme de front descendant dans la chaîne. Ce front refait basculer le multiplexeur sur la sortie de la bascule de

déclenchement au passage du retard 1. Dès lors la DLL est de nouveau en attente d'un front montant de l'horloge d'émission.

Les fronts montant de l'horloge CKs[1] jouent donc deux rôles : ils font basculer le multiplexeur du premier retard sur CKs[19] inversé et forcent la retombée du signal ckb, en sortie de la bascule de déclenchement. Ainsi, pour ne pas introduire d'impulsions parasites dans la chaîne de retard, il faut contrôler la succession de ces deux événements. Le signal ckb doit être maintenu au niveau haut tant que l'entrée du retard zéro n'a pas basculée sur la sortie de l'horloge CKs[19] (Figure 3.1.e).

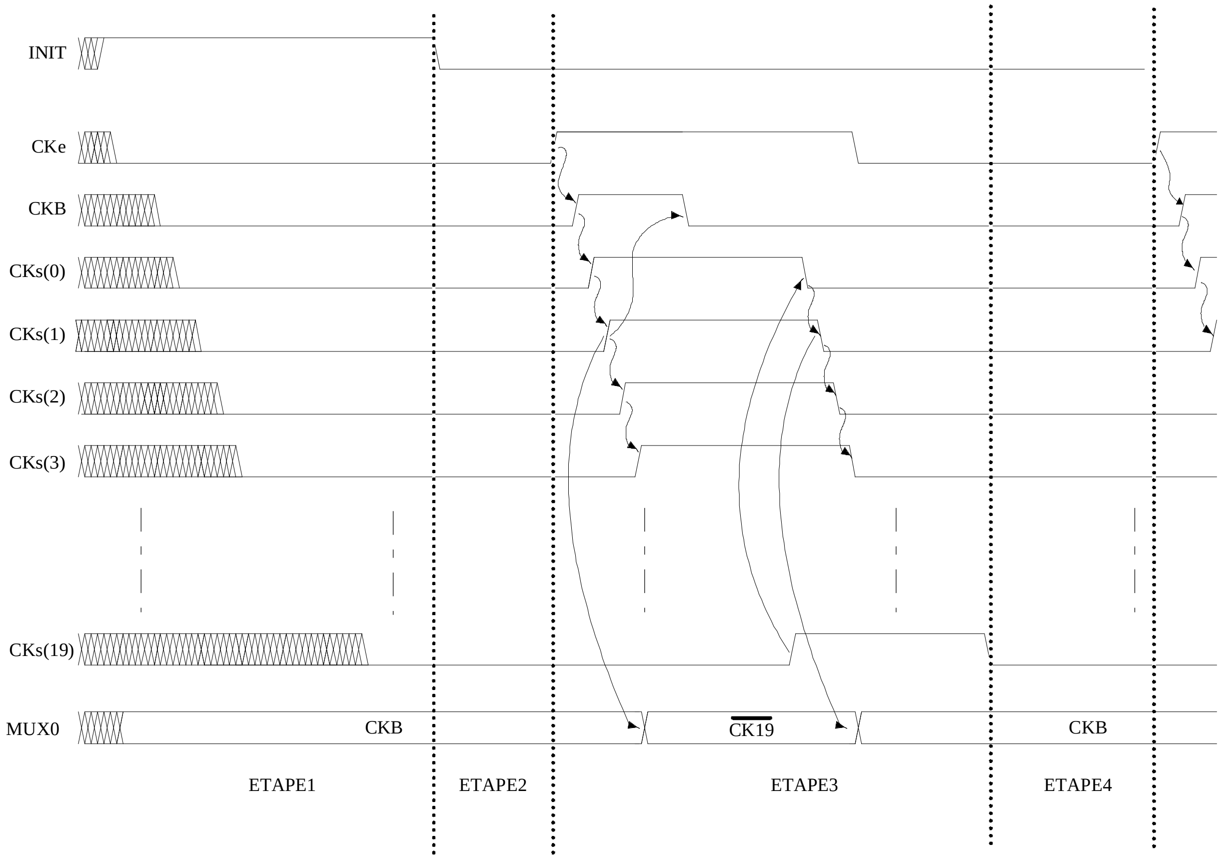


Figure 3.1.e : Initialisation de la DLL

Dans le chronogramme de la figure 3.1.e, MUX0 indique l'entrée sélectionnée par le multiplexeur du retard zéro.
Durant l'étape 1, le signal INIT est maintenu à "1" forçant la sortie ckb de la bascule de déclenchement au niveau bas. A la retombée de ce signal, l'ensemble des horloges d'échantillonnage sont à l'état bas. La DLL est alors en attente d'un front montant de l'horloge CKe (étape 2).
L'étape 3 montre la propagation dans la chaîne de retard du front montant du signal ckb. Les retards variables étant initialisés pour posséder le temps de propagation minimum, à la retombée du front descendant de l'horloge CKs[19] (étape 4), la DLL est de nouveau en position stable où seul un front montant de l'horloge CKe peut modifier son état.

Par le même algorithme que la DLL CMOS, les commandes des vingts retards, gérées par le système d'asservissement, seront incrémentées successivement (selon un ordre pré défini et détaillé au paragraphe 3.1.4) tant que le détecteur de phase mesure un retard de phase du front descendant de l'horloge CKs[19] par rapport au front montant du signal ckb.
La DLL sera calibrée lorsque le front descendant de l'horloge CKs[19] sera en phase avec le front montant du signal ckb. Le comparateur de phase reçoit donc ces deux signaux en entrée. La figure 3.1.f présente l'ensemble de la DLL BiCMOS.

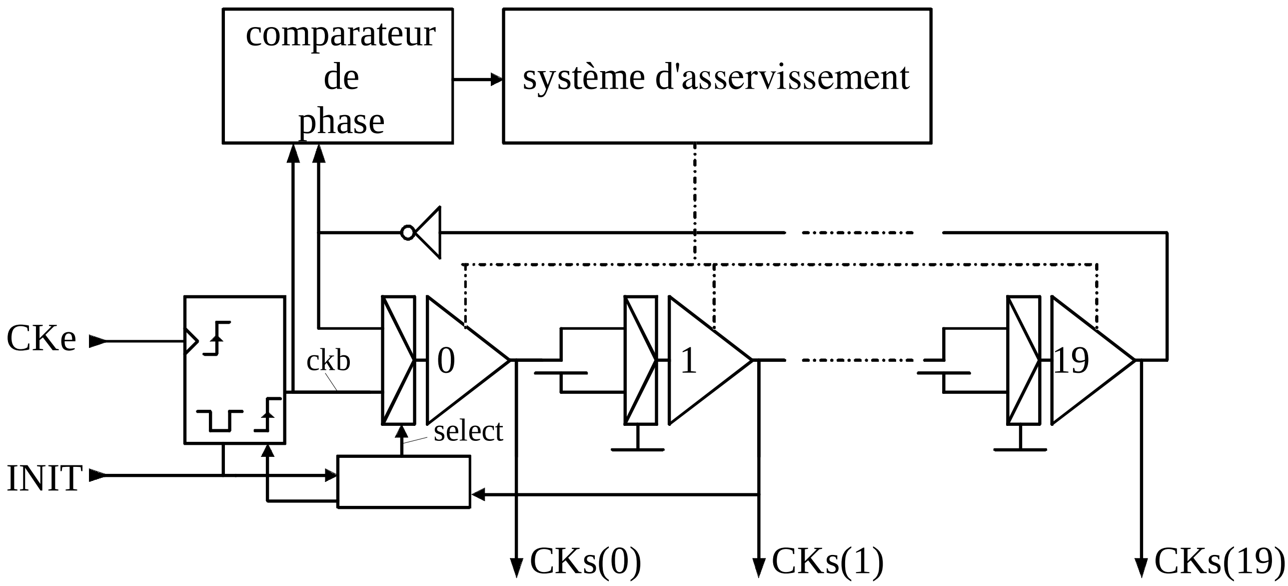


Figure 3.1.f : La DLL BiCMOS

Lorsque la DLL est calibrée, les 40 fronts d'horloges d'échantillonnage sont déphasés d'un temps τ égal à 1/40ème de la période de l'horloge d'émission (à l'erreur de précision de l'incrément du retard variable).

L'impression écran présentée ci-dessous montre le résultat d'une simulation ELDO réalisée sur l'ensemble du circuit de la DLL (la DLL ayant atteint son état de calibration) . Les quarante fronts d'échantillonnage (nommés CKE[0:39] dans cette simulation) sont déphasés d'un temps constant égal à 1/40ème de l'horloge d'émission CKE.

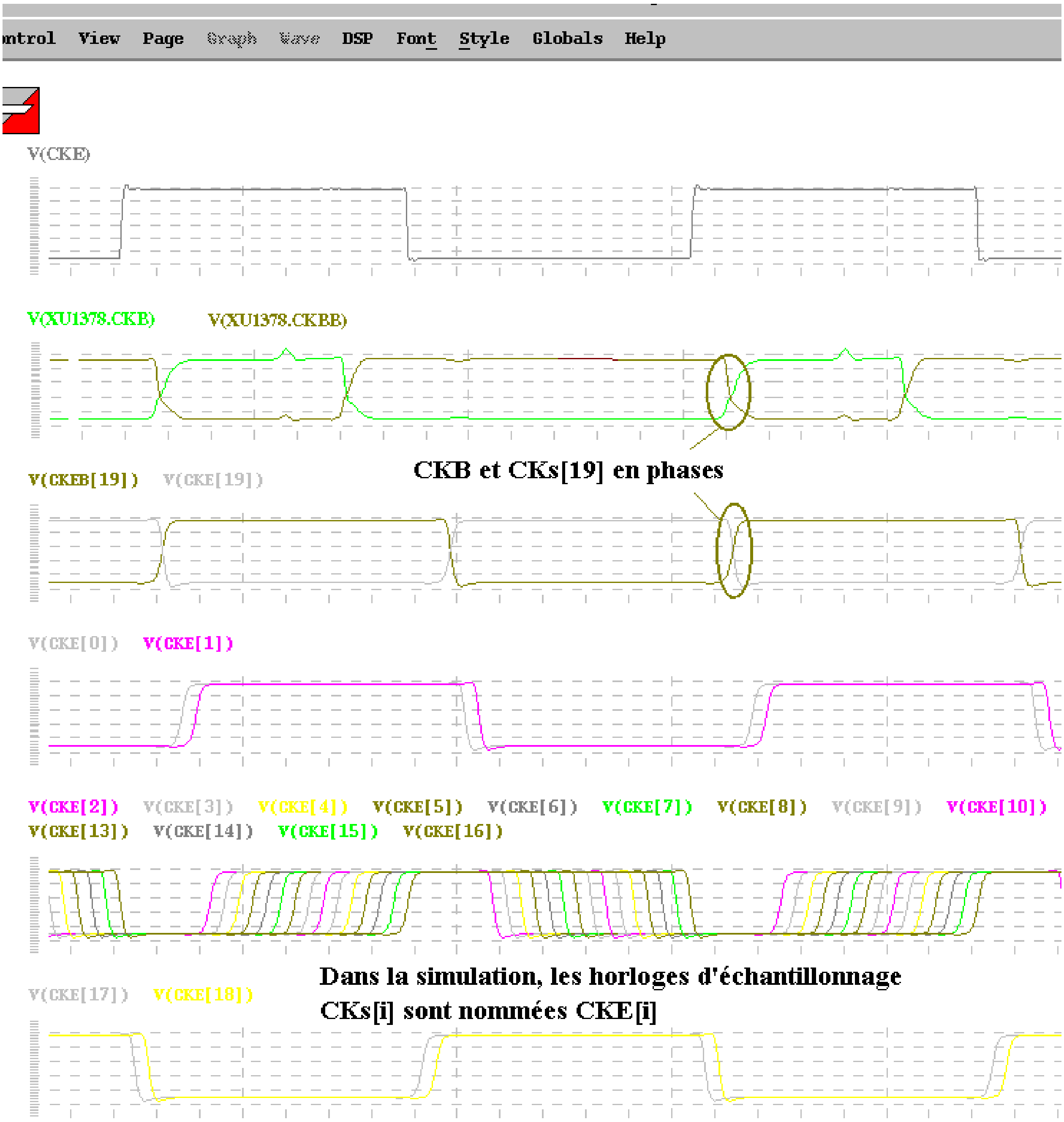


Figure 3.1.g : Simulation ELDO de la DLL BiCMOS

3.1.3 Le retard variable

L'incrément du retard variable s'additionne directement au jitter sur la sortie série. Pour la macro-cellule HS-Link, il est égal à 50 ps et intervient donc pour 1/6ième dans le jitter total mesuré de 300 ps sur les fronts du signal série.

Ce jitter respectant les spécifications données par le diagramme de l'oeil de la norme Fiber Channel pour le débit de 1 Gbit/s (inférieur à 30% de la durée du bit), nous pouvons reprendre le même facteur pour définir l'incrément du retard BiCMOS.

A 3 Gbit/s, le jitter toléré sur les fronts du signal série est de 100 ps. On fixe donc comme objectif un incrément de retard inférieur à 15 ps.

Le retard ECL du circuit GIBSI permet d'obtenir une telle précision. Il souffre cependant d'une caractéristique non monotone. Ce phénomène est causé par les différents courants issus du réseau R-2R (figure 3.1.h).

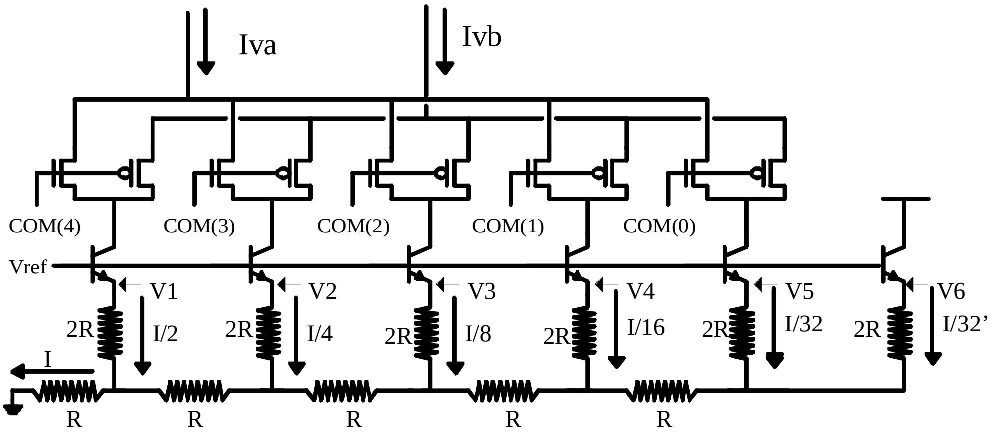


Figure 3.1.h : Génération de deux sources de courant complémentaires
à partir de la commande digitale cmd[4:0].

Les courants obtenus, dans les différentes branches de ce réseau, par simulation ELDO, sont présentés dans la table 3.1.i.

branche	I/2	I/4	I/8	I/16	I/32	I/32'
It = courant théorique (µA)	74,2	37,1	18,5	9,27	4,6	4,6
Im = courant simulé (µA)	**68,6**	**35,2**	**18,7**	**10,9**	**7,2**	**7,3**
différence (It-Im) (µA)	+5,6	+1,9	-0,2	-1,63	-2,6	-2,7

Table 3.1.i : Courants simulés du réseau R-2R du circuit GIBSI

En calculant le pas d'incrémentation réel du courant Iva (obtenu par la formule : Iva = I/2 com[4] + I/4 com[3] +I/8 com[2] +I/16 com[1] +I/32 com[0]), on retrouve les variations du pas d'incrémentation des temps de propagation du retard GIBSI (figure 3.1.j).

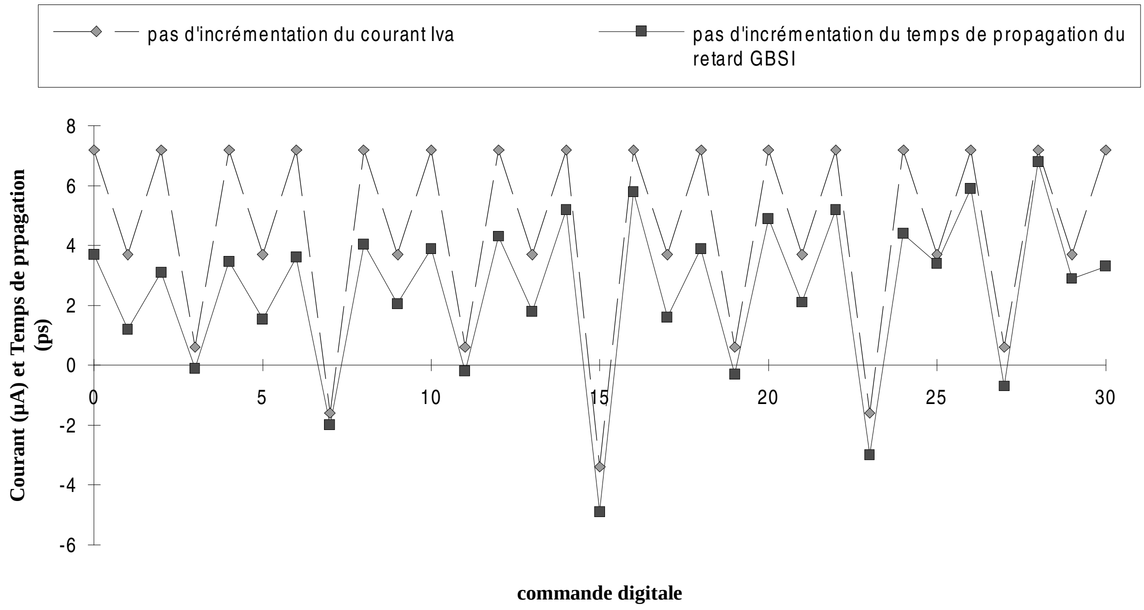


Figure 3.1.j : Homogénéité entre le pas d'incrémentation du courant Iva
et du temps de propagation du retard GIBSI

L'erreur commise, par rapport au comportement théorique du réseau R-2R, est de supposer égales les tensions de polarisation (V1 à V6 de la figure 3.1.a), sur l'émetteur des transistors bipolaires de chacune des branches. Ces tensions sont égales à la tension de référence Vref moins la tension base-emetteur Vbe des transistors bipolaires. Or, la tension Vbe tend à augmenter légèrement, à largeur d'émetteur constante, lorsque le courant de fonctionnement Ie augmente. Ainsi, plus le courant définit dans une branche (dû au rapport des résistances) augmente, plus la tension de polarisation tend à le diminuer et limite le courant dans la branche. Pour palier à cet effet, il suffit de doubler régulièrement la largeur de l'émetteur des transistors dans chacune des branches. En effet, la tension base-emetteur est identique dans un transistor de caractéristiques We, Ie et n*We, n*Ie.
Les courants obtenus par simulation sont alors parfaitement multiples de 2 (table 3.1.k).

branche	I/2	I/4	I/8	I/16	I/32	I/32'
Im = courant simulé (µA)	82,8	41,4	20,7	10,3	5,14	5,2

Table 3.1.k : Simulation des nouveaux courants du réseau R-2R

Le temps de propagation du retard variable détermine la durée du bit série. L'objectif étant de couvrir une plage de débits comprise entre 1.5 et 3 Gbit/s, le temps de propagation du retard variable devra pouvoir varier linéairement entre 333 ps et 660 ps, quelques soient les dispersions technologique. Les performances du retard variable seront estimées dans trois conditions de simulation :

condition de simulation	meilleur	typique	pire
Température ambiante °C	0	25	75
Tension d'alimentation V	3.0	3.3	3.6
Courant dans les transistors MOS	maximum	typique	minimum
Gain des transistors NPN	maximum	typique	minimum

Pour couvrir cette plage, il faut donc que :
Le temps de propagation maximum (τ_{max}) du retard variable dans le cas de simulations meilleur cas atteigne 660 ps.

Le temps de propagation minimum (τ_{min}) du retard variable dans le cas de simulations pire cas atteigne 333 ps.
De plus, des mesures réalisées sur le retard variable CML, dans le process BiCMOS 0,5 µm utilisé, nous informent que la dispersion entre le temps de propagation obtenu en simulation typique et dans les cas extrêmes est de ± 25 %.
La figure 3.1.l résume ces conditions :

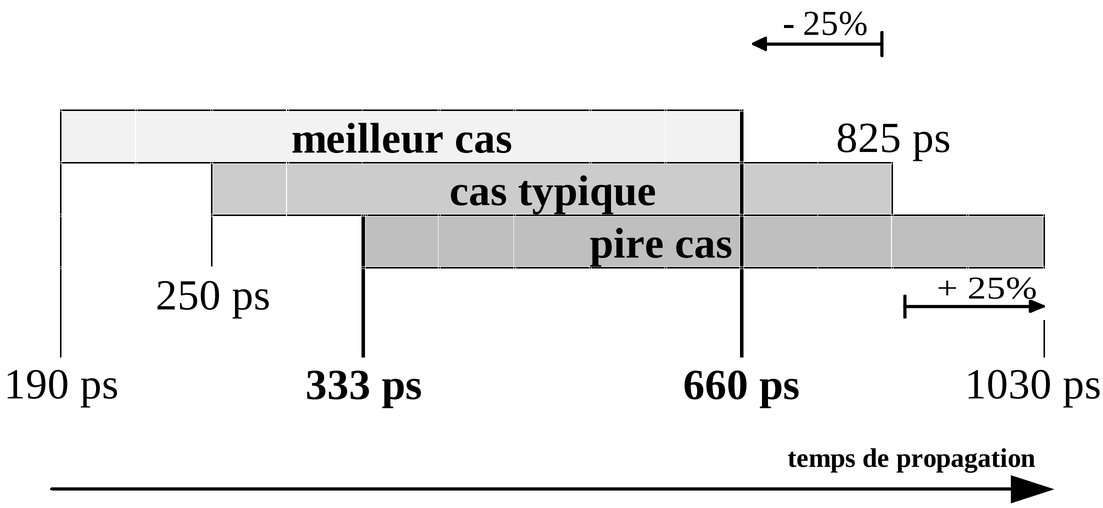


Figure 3.1.l : Plage couverte par le retard en fonction des conditions de simulation.

La plage du retard, en simulation typique, doit donc varier entre 250 ps et 825 ps. Pour un temps de propagation du retard fixe de 120 ps, on couvre cette plage avec cinq retards fixes. Cette valeur de 120 ps permet également d'atteindre la précision de 15 ps avec une commande d'interpolation de 3 bits ($120/2^3$=15ps).

Le schéma final du nouveau retard CML est présenté figure 3.1.m . On remarque que le multiplexeur placé devant le retard, dans la chaîne de la DLL BiCMOS, a été intégré directement dans le retard fixe et le multiplexeur de gamme afin de réduire le temps de propagation de l'ensemble.

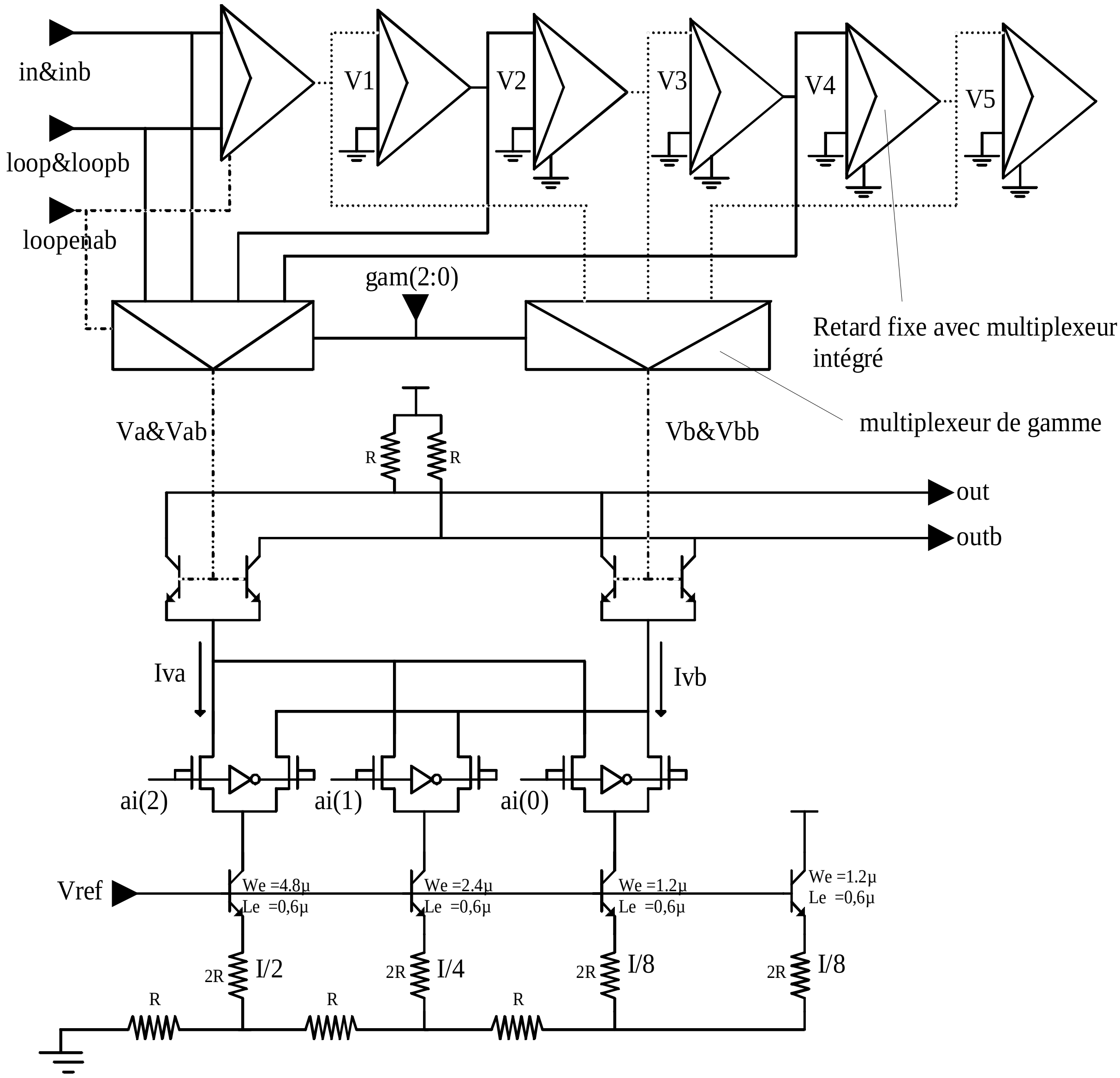


Figure 3.1.m : Vue générale du retard variable CML

Dans cette vue, certains signaux différentiels sont représentés par un fil unique pour alléger le schéma.
Un retard supplémentaire en bout de chaîne permet d'obtenir une charge équivalente pour le cinquième retard fixe.

La commande gam(2:0) permet de sélectionner deux signaux consécutifs parmi les six signaux (IN ou LOOP, V1, V2, V3, V4 et V5), déphasés par le temps de propagation du retard fixe, pour les entrées (Va et Vb) de l'interpolateur.
La commande ai(2:0) contrôle les courants d'interpolation.
Ainsi, la commande du retard variable peut prendre 40 valeurs (table 3.1.n).

Le temps de propagation, pris par la traversée du retard variable, peut être définit par un temps fixe Ti (temps de propagation minimum du retard) et un temps T fonction de la commande appliquée.
On a T = K x Tf (Tf = temps de propagation du retard fixe). Les différentes valeurs de K sont présentés dans la table 3.1.n.

CMD	gam (2:0)	signaux interpolés	ai (2:0)	K	CMD	gam (2:0)	signaux interpolés	ai (2:0)	K

0	010		111	0	20	001		011	2 + 4/7
1	010		110	1/7	21	001	V2 et V3	010	2 + 5/7
2	010		101	2/7	22	001		101	2 + 6/7
3	010		100	3/7	23	001		000	3
4	010	IN et V1	011	4/7	24	011		000	3
5	010		010	5/7	25	011		001	3 + 1/7
6	010		001	6/7	26	011		010	3 + 2/7
7	010		000	1	27	011	V3 et V4	011	3 + 3/7
8	000		000	1	28	011		100	3 + 4/7
9	000		001	1 + 1/7	29	011		101	3 + 5/7
10	000		010	1 + 2/7	30	011		110	3 + 6/7
11	000		011	1 + 3/7	31	011		111	4
12	000	V1 et V2	100	1 + 4/7	32	111		111	4
13	000		101	1 + 5/7	33	111		110	4 + 1/7
14	000		110	1 + 6/7	34	111		101	4 + 2/7
15	000		111	2	35	111	V4 et V5	100	4 + 3/7
16	001		111	2	36	111		011	4 + 4/7
17	001		110	2 + 1/7	37	111		010	4 + 5/7
18	001	V2 et V3	101	2 + 2/7	38	111		101	4 + 6/7
19	001		100	2 + 3/7	39	111		000	5

Table 3.1.n : Temps de propagation du retard variable
en fonction de la commande appliquée

Le retard fixe est obtenu par le temps de propagation d'un multiplexeur dont le signal de sélection est à niveau CMOS et les entrées/sorties à niveau CML.

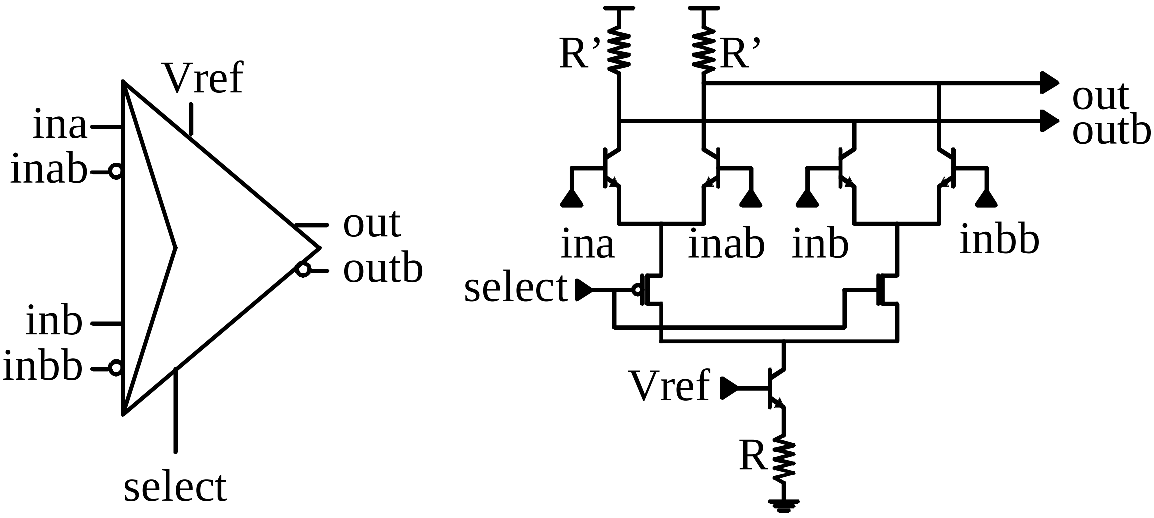


Figure 3.1.o : Le retard fixe CML

Le schéma du multiplexeur de gamme est plus complexe. A chaque signal d'entrée, on associe une paire différentielle dont le courant de fonctionnement est contrôlé par un transistor NMOS. Un décodeur génère la commande attaquant la grille du transistor NMOS servant à transmettre le courant dans la paire différentielle du signal sélectionné.

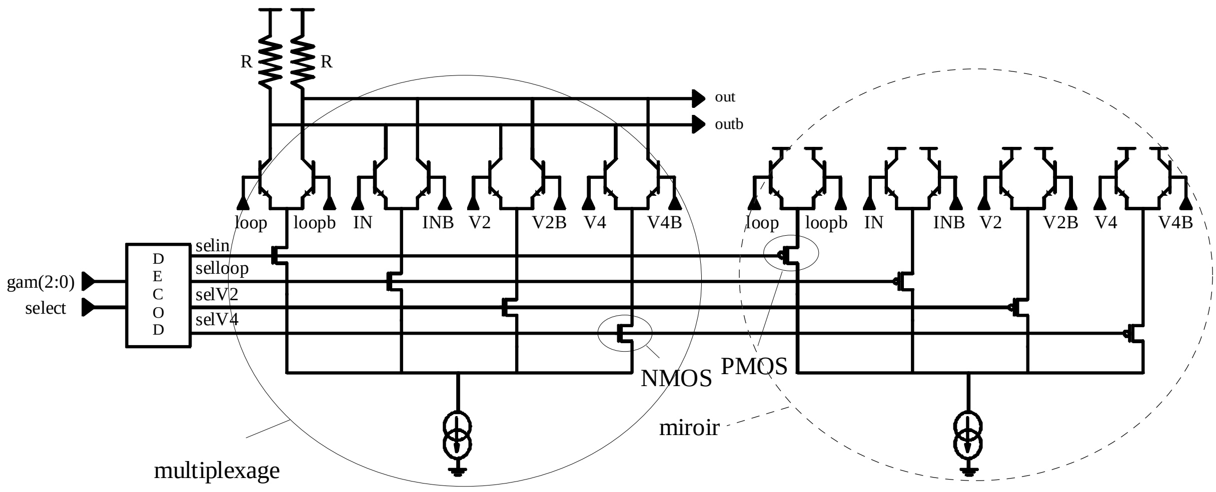


Figure 3.1.p : Le multiplexeur de gamme

Un "miroir" à ce montage est ajouté au multiplexeur. Il diffère uniquement par l'utilisation de transistors PMOS pour réaliser l'interrupteur de la paire différentielle. Son rôle est de "tirer" un courant de base aux trois signaux non sélectionnés.
Effet, le temps de propagation du retard fixe différait (de +/- 30 ps) selon que le signal attaquant le retard fixe était sélectionné ou non sélectionné par le multiplexeur de gamme. Ce phénomène est dû au courant Ib (courant de base) nécessaire au fonctionnement de la paire différentielle du multiplexeur. Par l'adjonction du miroir, les courants de charge en sortie des retards fixes deviennent identiques quelle que soit la commande appliquée.

La figure 3.1.q montre les différents temps de propagation obtenus avec le simulateur ELDO pour le nouveau retard variable CML.

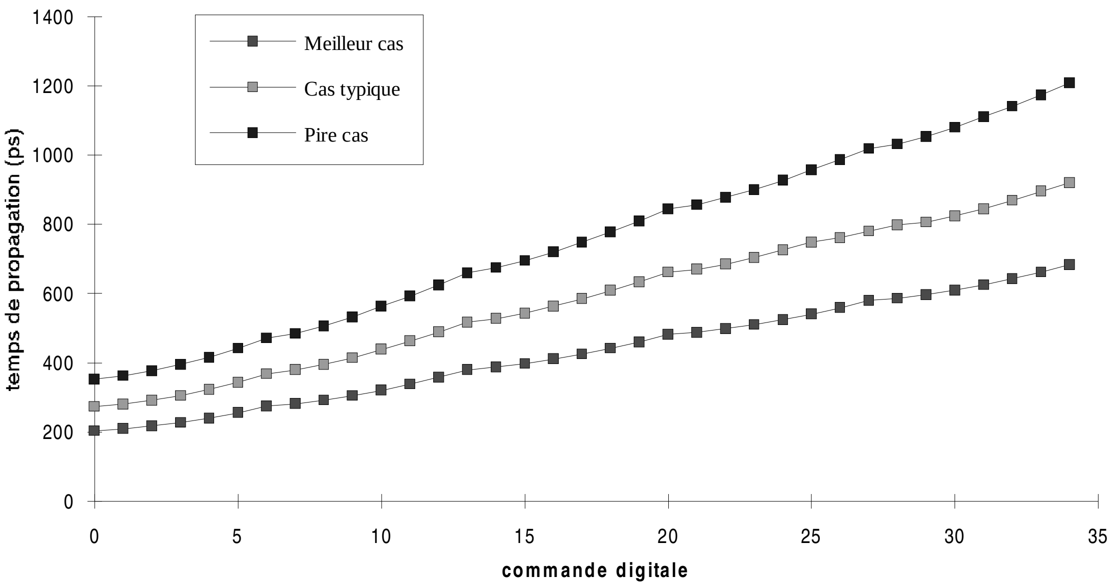


Figure 3.1.q : Caractérisation du retard variable CML

Les temps extrêmes selon les trois cas de simulation sont :

Simulation	pire cas (ps)	cas typique (ps)	meilleur cas (ps)
temps minimum	353	274	204
temps maximum	1208	920	684
plage couverte	855	646	480

En simulation typique, la plage couverte est d'environ 650 ps. Elle est donc légèrement supérieure au 575 ps visé initialement. La cause est liée au temps de propagation du retard fixe qui est légèrement supérieur au 120 ps prévu. Les temps de propagation minimum et maximum fixés (respectivement 250 ps et 825ps) sont par contre couverts par cette plage.
La caractéristique du retard variable est maintenant monotone, mais reste non linéaire.

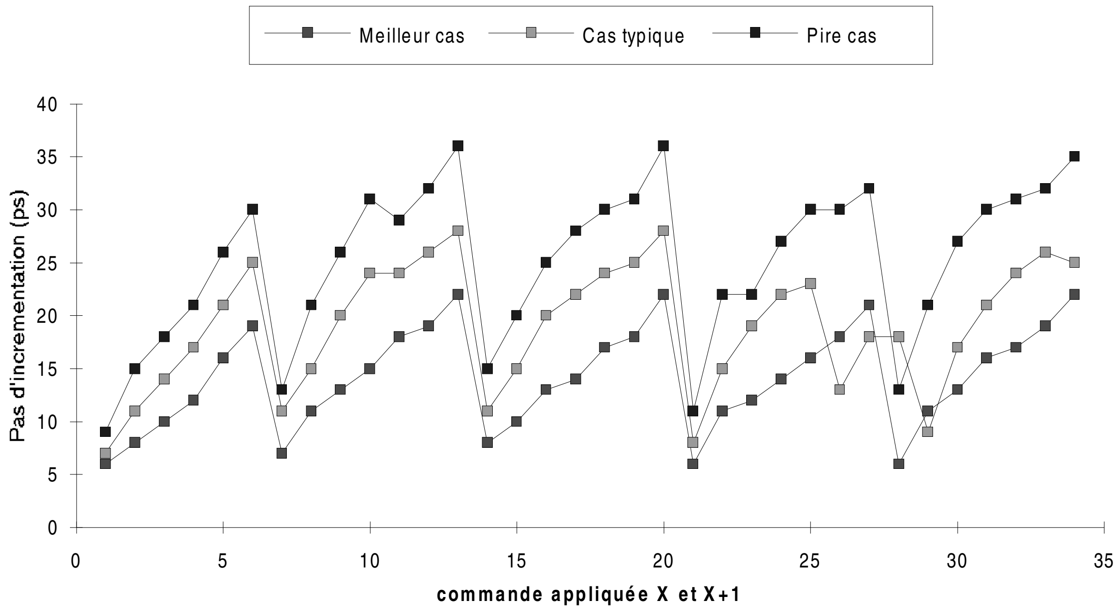


Figure 3.1.r : Pas d'incrémentation du retard variable CML

Ce phénomène n'est plus lié aux différents courants d'interpolation puisqu'ils respectent le facteur 2 entre eux :

branche	I/2	I/4	I/8	I/8'
Im = courant simulé (µA)	110	54,6	27,4	27,5

Table 3.1.s : Courants du réseau R-2R du retard CML (simulation ELDO)

Il est causé par un trop grand déphasage entre les signaux interpolés. En effet, une étude [C.MIL91] montre que le pas d'incrémentation ne peut être linéaire qu'en fixant le déphasage des deux signaux interpolés, à la moitié de leur temps de fronts. Le temps des front étant voisins de 100 ps, le temps de propagation du retard fixe, de 120ps, est près de trois fois trop important. On préfére cependant rester non linéaire, mais conserver uniquement cinq retards fixes pour couvrir toute la gamme.
Le pas d'incrémentation maximum induit est de 26 ps en simulation typique. Cet incrément est supérieur à la valeur de 15 ps initialement visée.
Il faut cependant s'intéresser à l'erreur relative commise par l'incrément du retard variable sur la précision de la durée du bit série. La table 3.1.t montre que cette erreur reste inférieure à 7,5% quelques soient les conditions de simulation ce qui est tout à fait acceptable.

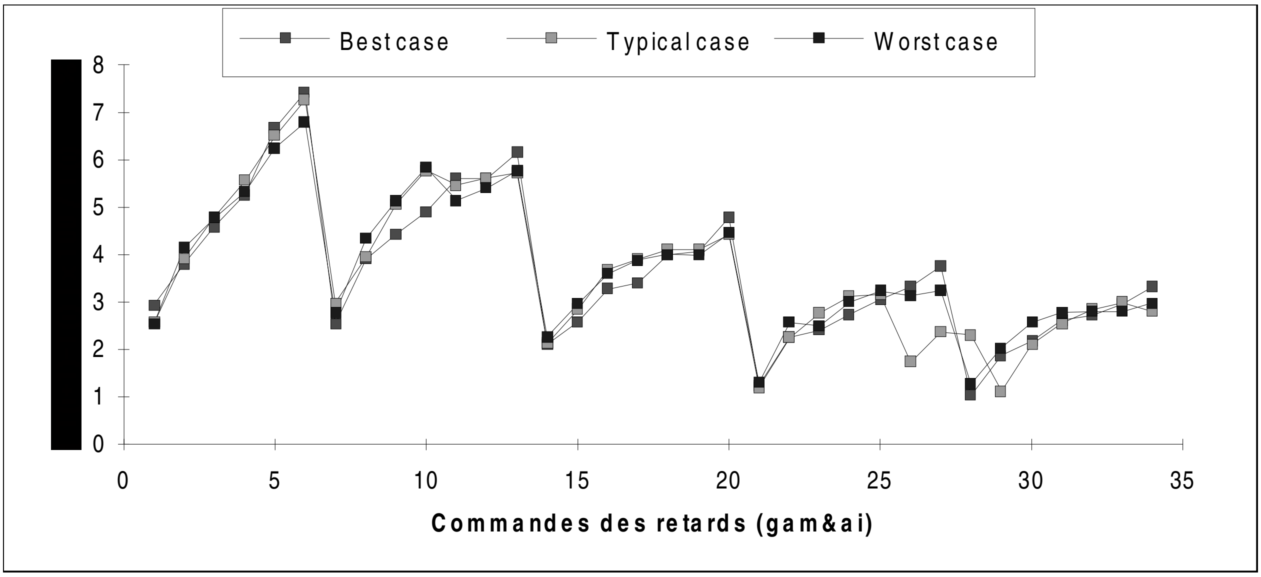


Figure 3.1.t : Erreur relative commise sur la durée du bit
due à l'incrément du retard variable

3.1.4 La bascule de déclenchement

Les contraintes sur la qualité des fronts montants du signal CKB nécessite l'utilisation de la circuiterie CML. Après initialisation (INIT = "1"), on veut que les fronts montant du signal CKE génèrent des fronts montant en sortie de la bascule. Les fronts montant de l'horloge CKs[1] (connectée à l'entrée SPARE) font retomber la sortie CKB à "0".

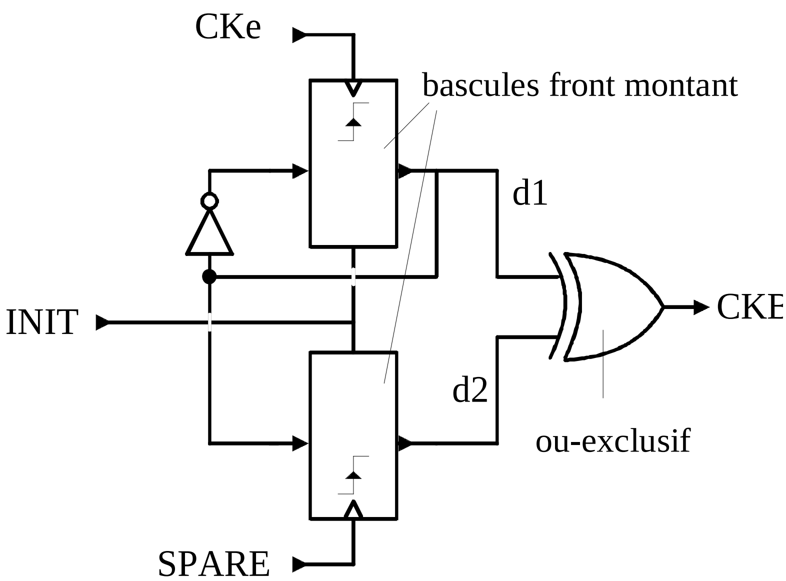


Figure 3.1.u : Vue générale de la bascule de déclenchement

Son bon fonctionnement exige une contrainte sur l'ordre d'apparition des fronts montants des signaux CKe et SPARE. Le front montant de CKe doit devancer le front montant de SPARE.
Puisque le signal SPARE est issu de la sortie du second retard, dont les fronts montant résultent des fronts montant de CKe, cette contrainte est respectée.

La figure 3.1.v montre le fonctionnement de cette "machine à états".

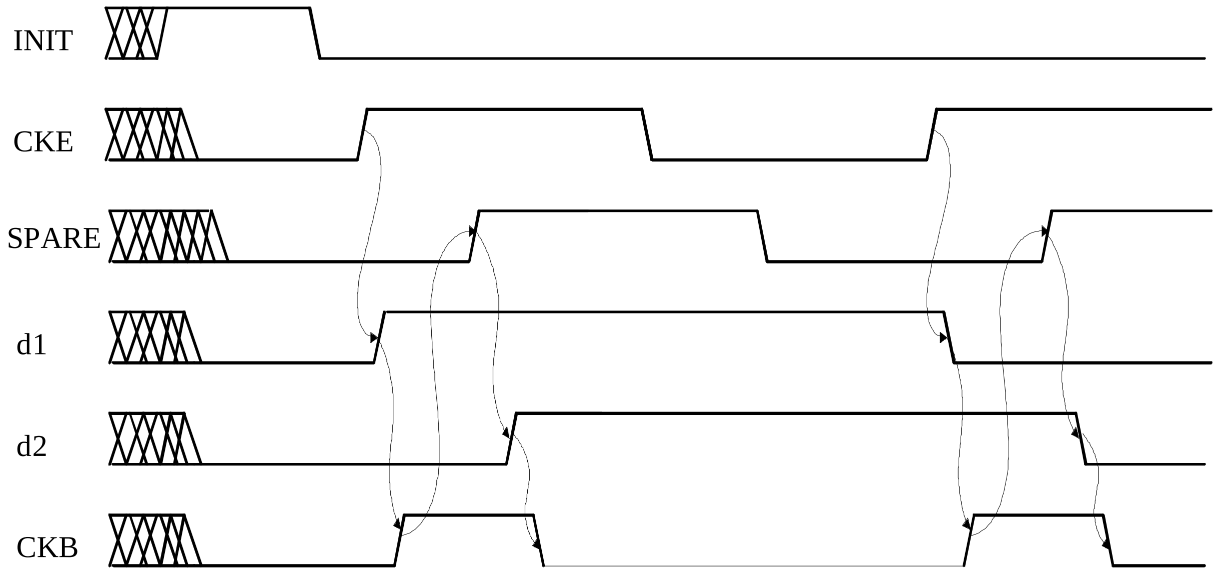


Figure 3.1.v Fonctionnement de la bascule de déclenchement

Les fronts montants du signal CKB, sont donc générés tantôt par le front montant, tantôt par le front descendant, du signal d1. Il est donc impératif que les temps de propagation de la bascule et du ou-exclusif soient indépendant du type de front qu'ils véhiculent. Cette propriété est respectée par la structure même des portes CML.

- La bascule à front montant

La bascule à front montant est réalisée par deux latchs CML obtenus par un étage "series gated" (superposition d'amplificateurs différentiels) [IEEE.20]. Pour son initialisation par un signal à niveau CMOS, on ajoute une branche MOS, ne consommant pas de façon statique, mais permettant de ne pas saturer le transistor bipolaire Q1' (figure6.4.e) en réduisant la chute de potentiel du noeud DOUT lors de l'initialisation.

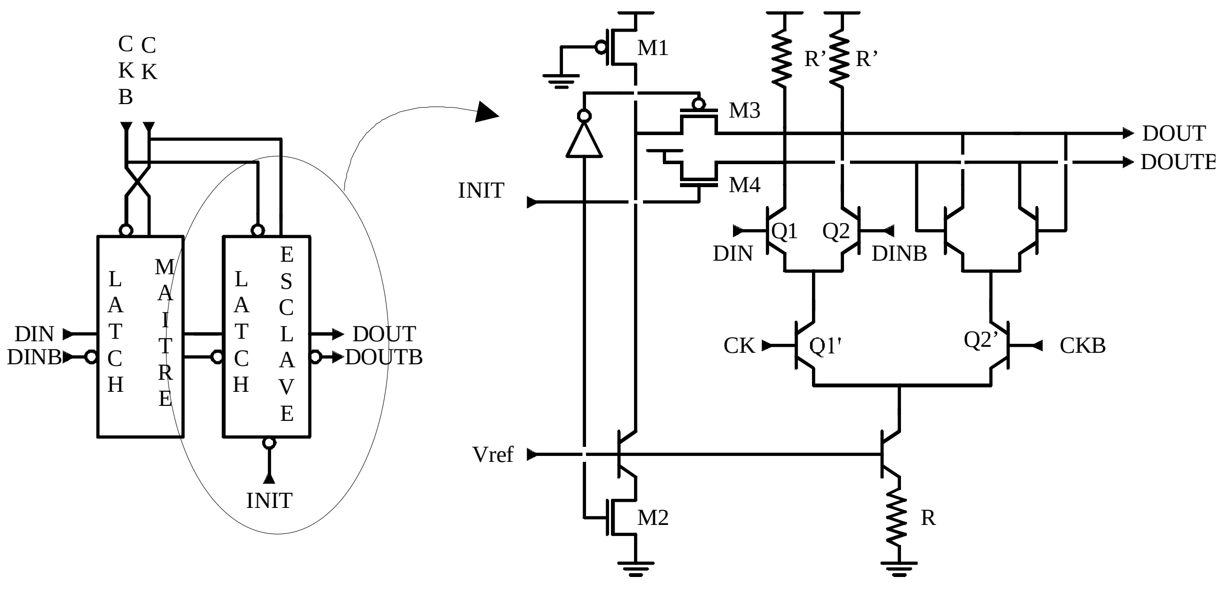


Figure 3.1.w : Bascule CML avec initialisation de l'esclave

A l'initialisation (INIT="1"), le transistor M2 est ouvert et sa valeur résistive détermine le courant circulant dans la branche MOS. Le transistor M1,en parallèle avec R',fixe la chute de potentiel sur le noeud DOUT (M3 et M4 étant ouvert). Le signal DOUT est donc "tiré" à VCC - 500 mV et DOUTB (via le transistor M4) à VCC.
Or initialisation M2,M3,M4 sont coupés. Le transistor M2 empêche la branche MOS de consommer. Les signaux d'horloges CK, CKB doivent posséder des niveaux ECL afin d'empêcher la saturation des transistors Q1' et Q2'.

- Le convertisseur CML vers ECL

Il est réalisé à l'aide d'un transistor bipolaire monté en émetteur suiveur.

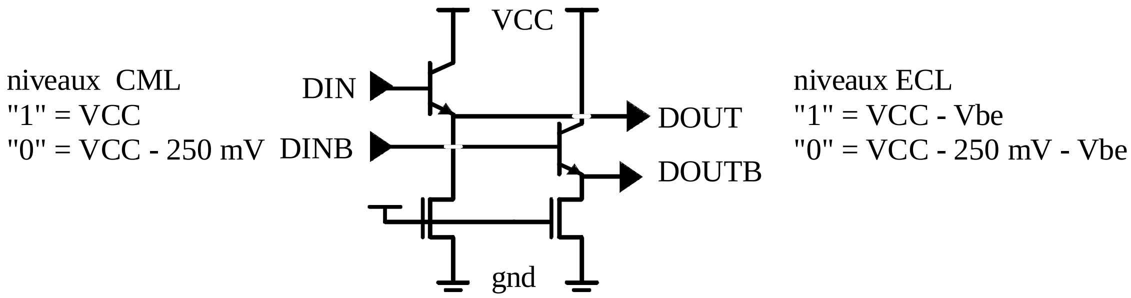


Figure 3.1.x :Convertisseur CML vers ECL

Nous avons noté au chapitre précédent la différence de comportement d'un tel montage selon le front véhiculé. Ici, seul les fronts montant sont important, on peut donc l'utiliser.

- Le convertisseur CMOS vers CML

Il est réalisé à partir d'une paire différentielle de transistors MOS. Le gain des transistors MOS étant faible, son temps de réponse est lent.

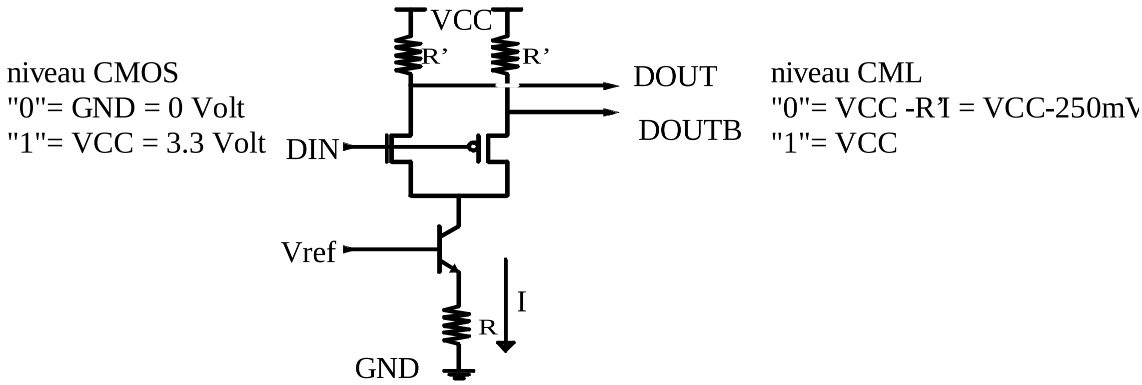


Figure 3.1.y :Convertisseur CMOS vers CML

- Le ou-exclusif

Le schéma du ou-exclusif étant identique à celui de l'arbre de ou-exclusifs sera détaillé dans le paragraphe 3.2 décrivant le convertisseur parallèle/série de la macro-cellule BiCMOS.
La simulation ELDO, réalisée dans des conditions typiques, montre les signaux d'interface de la bascule :

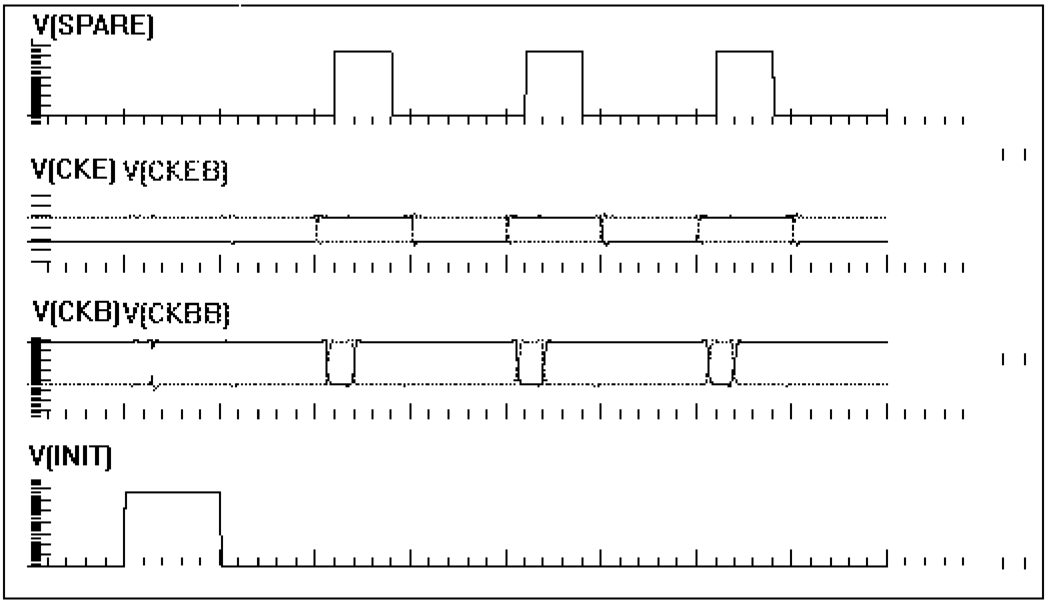


Figure 3.1.z : Simulation ELDO de la bascule de déclenchement

3.1.5 le comparateur de phase

Il doit pouvoir détecter une différence de phase de l'ordre de 20 ps entre les signaux CKB et $\overline{CK19}$.

Le comparateur de phase CMOS, utilisé dans HS-Link, a démontré son efficacité pour des détections de déphasages inférieurs à 50 ps. Ce comparateur est réalisé par une bascule RS.

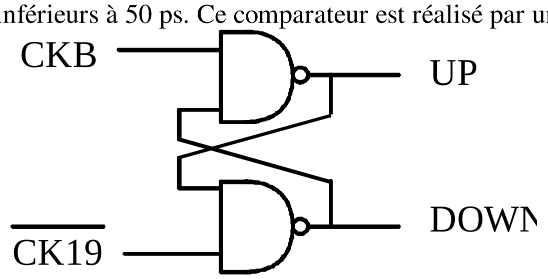


Figure 3.1.aa : Schéma de la bascule RS

Dans les tables ci-dessous, montrant le comportement de la bascule pour l'arrivée de deux fronts déphasés, le symbole "0 →1" indique une transition montante du signal et "1 → 0" indique une transition descendante.

• CKB en avance sur $\overline{CK19}$

CKB	$\overline{CK19}$	UP	DOWN
0	0	1	1
0 → 1	0	0	1
1	0 → 1	0	1
1 → 0	1	1	0
0	1 → 0	1	1

• CKB en retard sur $\overline{CK19}$

CKB	$\overline{CK19}$	UP	DOWN
0	0	1	1
0	$0 \to 1$	1	0
$0 \to 1$	1	1	0
1	$1 \to 0$	0	1
$1 \to 0$	0	1	1

On constate que l'état des sorties UP et DOWN après le passage des fronts montants des deux signaux permettent de déterminer leur ordre d'arrivée. Il suffit d'enregistrer leurs états dans des bascules à front montant, en utilisant les signaux eux-mêmes comme horloge. Il faudra seulement retarder le front de ces signaux attaquant les deux bascules afin de laisser le temps aux sorties UP et DOWN de s'établir.

Les fronts des signaux $\overline{CK19}$ et CKB a comparer sont générés par des portes CML, ce qui impose de réaliser également la bascule RS en circuiterie CML. En effet, les fronts issus du convertisseur CML vers CMOS sont trop "mou" pour détecter un si faible déphasage.

La logique permettant d'interpréter les états des signaux UP et DOWN, ainsi que le temporisateur (décrit au paragraphe suivant), fonctionnant à basse fréquence, n'ont pas de contraintes nécessitant l'utilisation de portes CML. Ainsi, la frontière entre le monde BiCMOS et le monde CMOS est placé en sortie de la bascule RS (figure 3.1.ab).

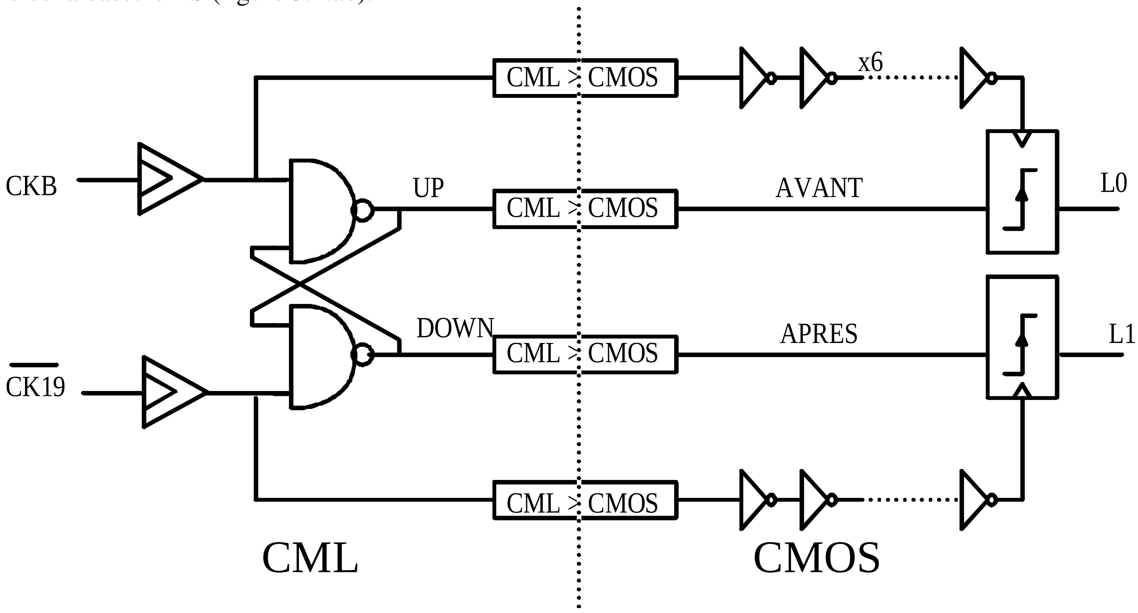


Figure 3.1.ab : Vue générale du comparateur de phase

Dans le schéma du NAND CML, les entrées IN2/IN2B exigent une conversion CML vers ECL introduisant un retard par rapport aux entrées IN1/IN1B. Les signaux CKB et $\overline{CK19}$ seront dirigés vers les entrées IN1/IN1B.

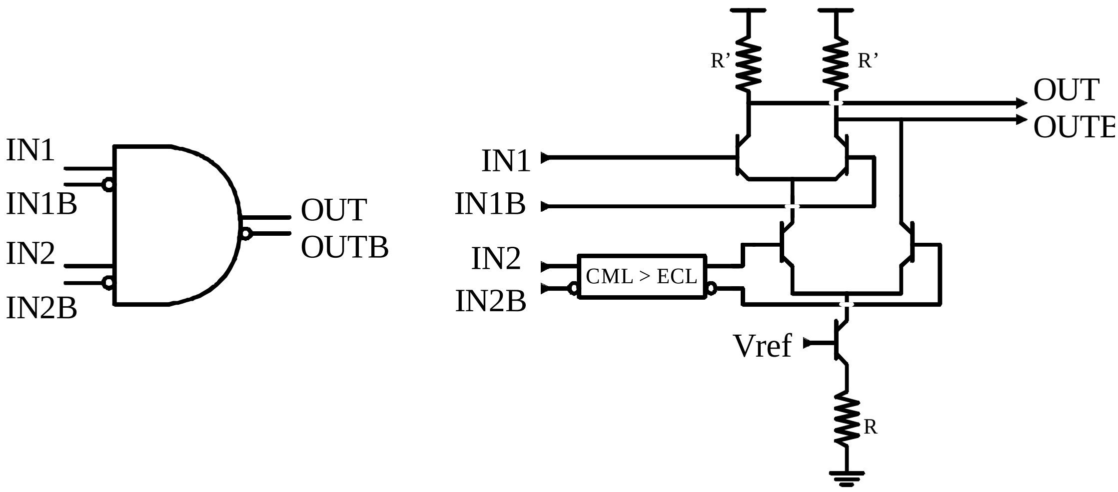


Figure 3.1.ac : La porte NAND CML

L'amplificateur différentiel utilisé pour la conversion CML vers CMOS est extrait de l'article [IEEE.21]. Le rapport entre les transistors MOS sont tels que la tension au noeud NINT est égale à la tension de seuil, Vth, de l'inverseur de sortie (INVOUT) lorsque Vin = Vinb. Ainsi, la moindre différence de potentiel entre Vin et Vinb fait basculer l'inverseur de sortie.

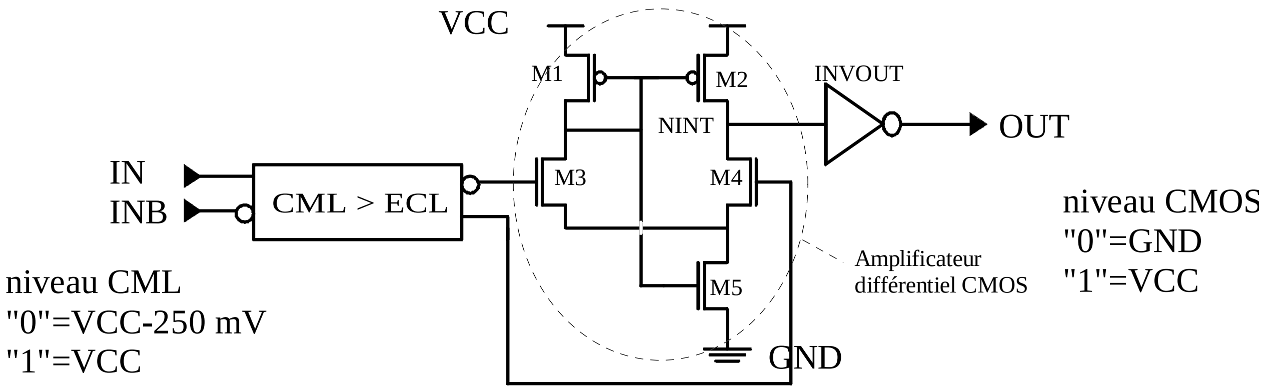


Figure 3.1.ad : Convertisseur CML vers CMOS

Le résultat de la simulation ELDO, dans des conditions typiques, montre que le comparateur peut détecter une avance ou un retard de phase de seulement
3 ps.

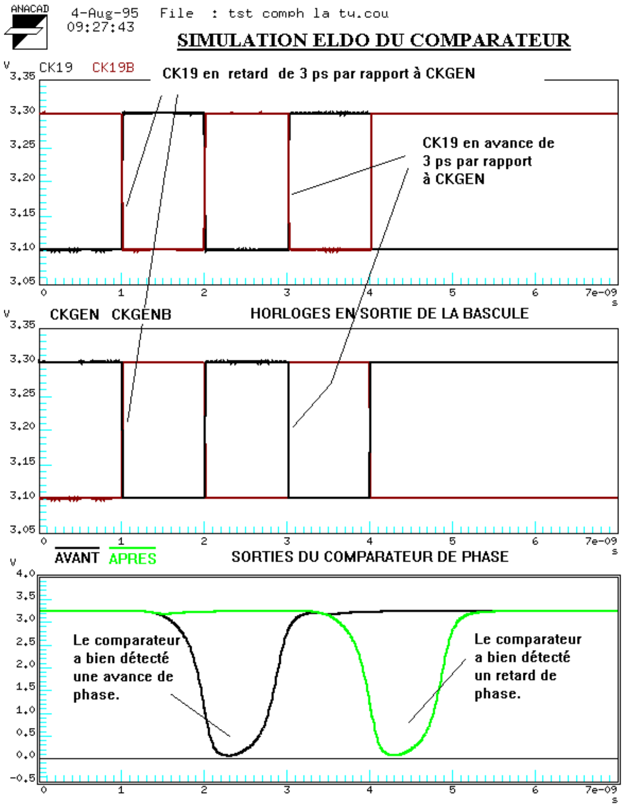


Figure 3.1.ae : Simulation ELDO du détecteur de phase

3.1.6 L'automate de contrôle de l'asservissement

L'automate fonctionne à basse fréquence (< 80 Mhz) et ne rentre pas dans le chemin critique de la donnée série. Il sera donc réalisé en circuits CMOS. Il reste identique, dans son principe de fonctionnement, à l'automate HS-Link. Son rôle est double : il doit décider du retard variable dont la commande digitale sera modifiée puis l'incrémenter ou la décrémenter.

A chaque cycle de l'horloge d'émission, il reçoit du comparateur de phase l'information de déphasage entre les signaux CKB et $\overline{CK19}$.

Un temporisateur permet de stocker l'état successif des sorties du comparateur de phase sur une durée de quatre cycles de l'horloge d'émission. Lorsque il reçoit durant quatre cycles consécutifs une détection d'avance ou de retard de phase, le temporisateur donne l'ordre au système de correction de décrémenter ou d'incrémenter la valeur d'une des commandes des vingt retards. Cette temporisation est nécessaire car l'application de la correction prend trois cycles d'horloge d'émission. Ainsi, la temporisation permet d'attendre la mesure de la modification apportée au temps de propagation de la chaîne de retard suite à une correction avant de reprendre une décision.

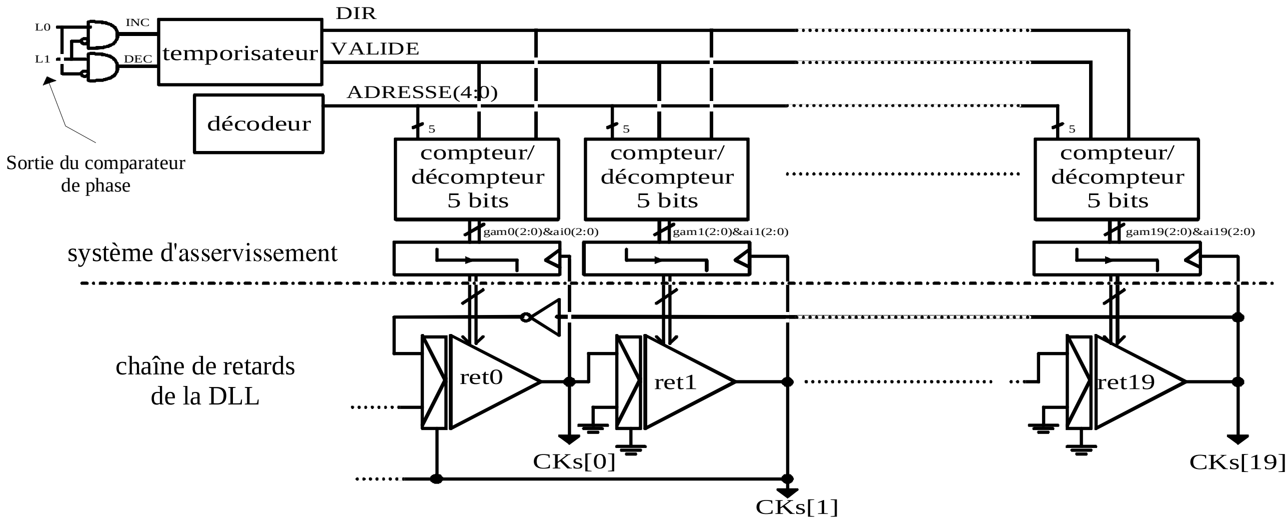


Figure 3.1.af : Le système d'asservissement

Les commandes sont appliquées aux retards sur les fronts montants respectifs de la sortie des retards variables qu'ils contrôlent. Ainsi, le temps d'établissement d'une nouvelle commande ne perturbe pas le passage du front dans le retard.
A chaque retard variable est associé un compteur/décompteur, 5 bits, permettant de générer la commande digitale de 6 bits (gam(2:0) et ai(2:0)).
L'ordre dans lequel sont modifiés les retards vise à réduire l'écart maximum entre la position temporelle idéale des fronts des horloges d'échantillonnage et la position réelle, liée aux temps de propagation des retards (τ(X) ou τ(X+1)).

L'exemple présenté dans la figure 3.1.ag illustre ce problème. Les courbes représentées montrent les apparitions successives, sur la sortie série, des 40 bits de la donnée parallèle, suite aux fronts montant ou descendant des horloges d'échantillonnage qui leur sont associées. Dans le cas idéal, les horloges sont régulièrement déphasées d'un retard τ égal à 1/40ième de la période de l'horloge d'émission (courbe +). Dans la réalité, les 20 retards posséderont soit la valeur $\tau 1$, soit la valeur $\tau 2$, encadrant la valeur idéale τ. Nous prenons l'exemple où après calibration 10 retards possèdent la valeur $\tau 1$ et 10 retards la valeur $\tau 2$.
La seconde courbe (courbe ∘) montre la position temporelle des différents bits lorsque l'ordre d'indrémentation des 20 retards est : 1,2,3,...20. L'écart maximum est alors atteint pour les bits 9 et 29 éloignés de 10 ε ($\varepsilon = \tau 2-\tau 1$). La dernière courbe (courbe Δ) montre que l'ordre d'incrémentation : 9,14,4,17,5,11,1,16,7, 12,3,19,8,0,15,10,6,18,2,13 permet de se rapprocher de la courbe idéale. L'écart maximum n'est plus que de 2 ε. Cet ordre permet en effet de répartir régulièrement, dans la chaîne des 20 retards, l'ensemble des temps plus élevés (temps égaux à $\tau 2$). Le premier retard incrémenté est celui du milieu de la chaîne (retard 9) ce qui crée deux sous-ensembles (retards de 0 à 8 et 10 à 19) . On incrémente alors les deux retards, milieu de ces deux sous-ensembles (14 et 4) ... etc.

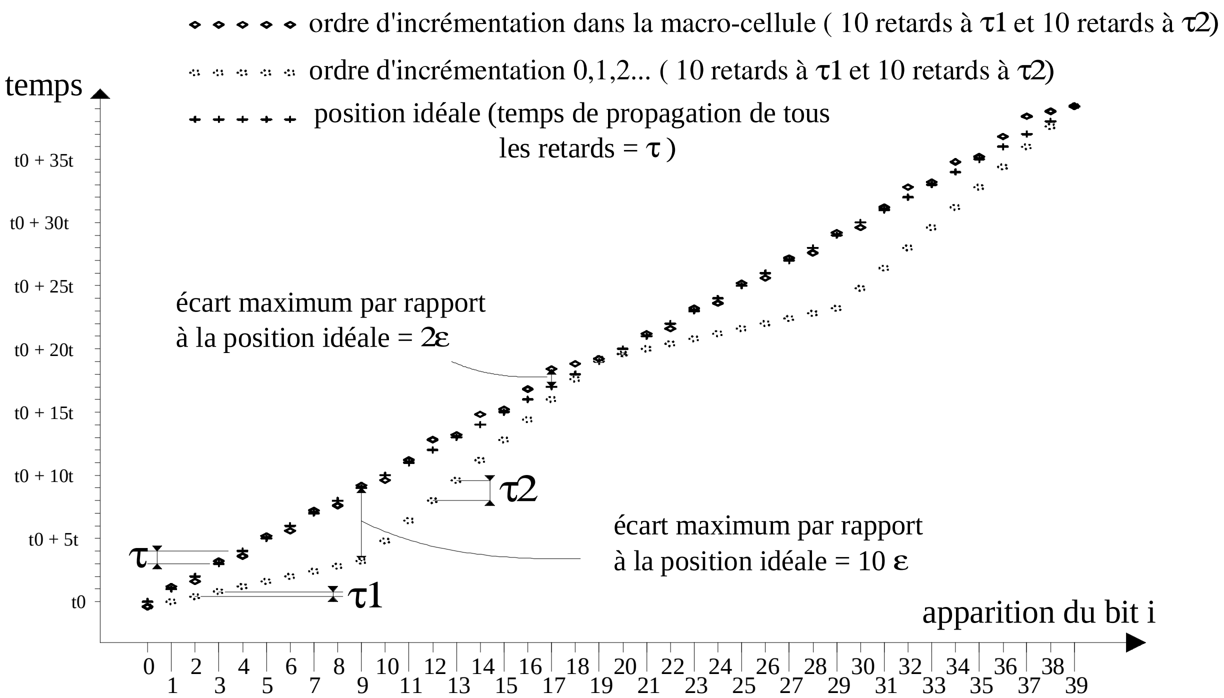


Figure 3.1.ag : Ecart par rapport à la position idéale des fronts des horloges d'échantillonnages

3.2 Le convertisseur parallèle/série

Le convertisseur parallèle/série du nouvel émetteur BiCMOS est identique dans son architecture à celui de la macro-cellule HS-Link. En reprenant le découpage en quatre parties indépendantes du convertisseur, nous analyserons les différentes modifications apportées.

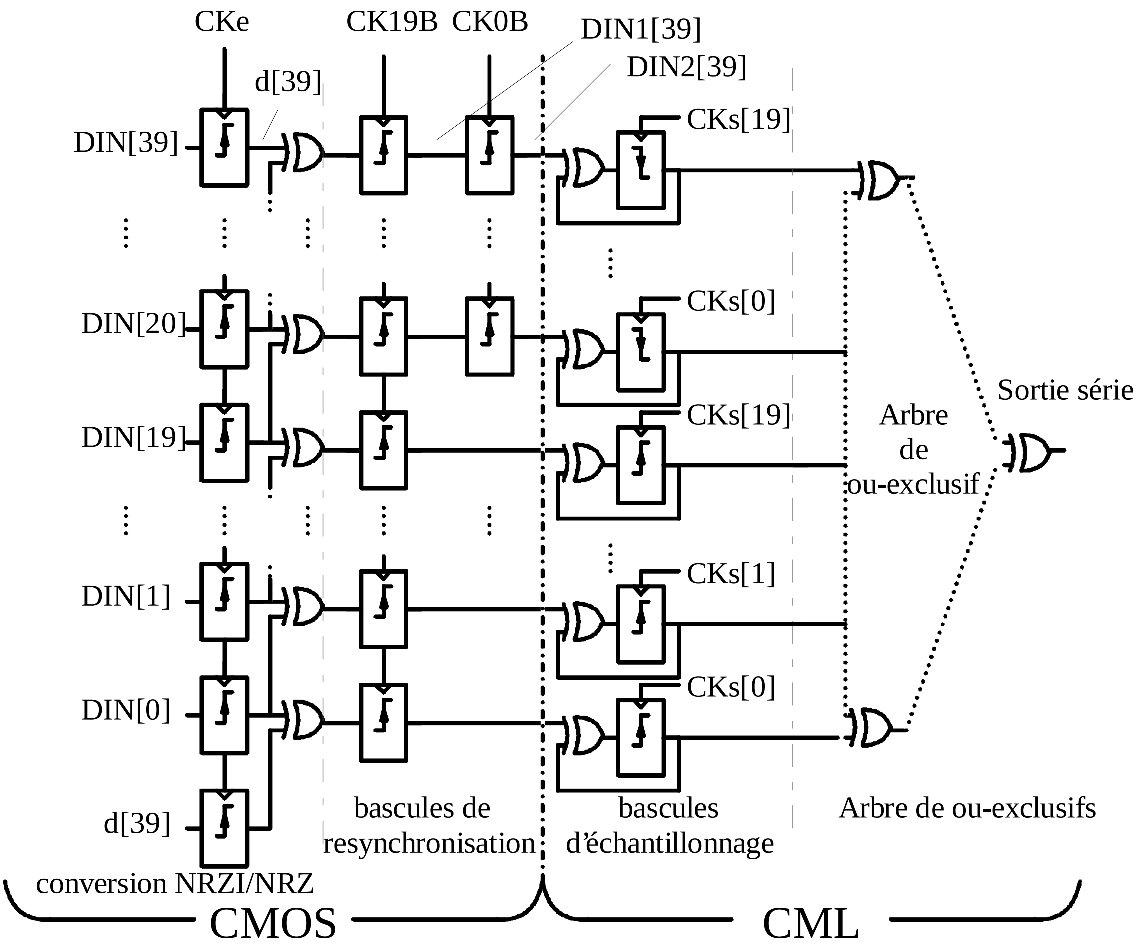


Figure 3.2.a : Vue générale du convertisseur parallèle/série BiCMOS

3.2.1 La conversion NZRI/NRZ

Outre le passage de la donnée parallèle de 12 bits à 40 bits de large, l'unique modification apportée au convertisseur NRZI/NRZ réside dans la mémorisation de l'état du dernier bit de la donnée du cycle précédent (DIN[39]) pour le calcul de la valeur du premier bit de la donnée courante. Dans HS-Link ce dernier bit (DIN[11]) était en effet fixé à "1", par définition dans le protocole IEEE 1355, ainsi la seconde entrée du ou-exclusif lié au bit DIN[0] était mis à la masse (voir figure 2.1.g du chapitre précédent). Cette modification permet de rendre le convertisseur indépendant du type de codage utilisé.

3.2.2 les bascules de synchronisation

Elles permettent de stabiliser la donnée parallèle (codée en NRZI^{-1}) pendant son échantillonnage par l'étage suivant. Les bits 0 à 19 de la donnée parallèle seront échantillonnés par les fronts montant des horloges CKs[0] à CKs[19] et les bits 20 à 39 par leurs fronts descendant.

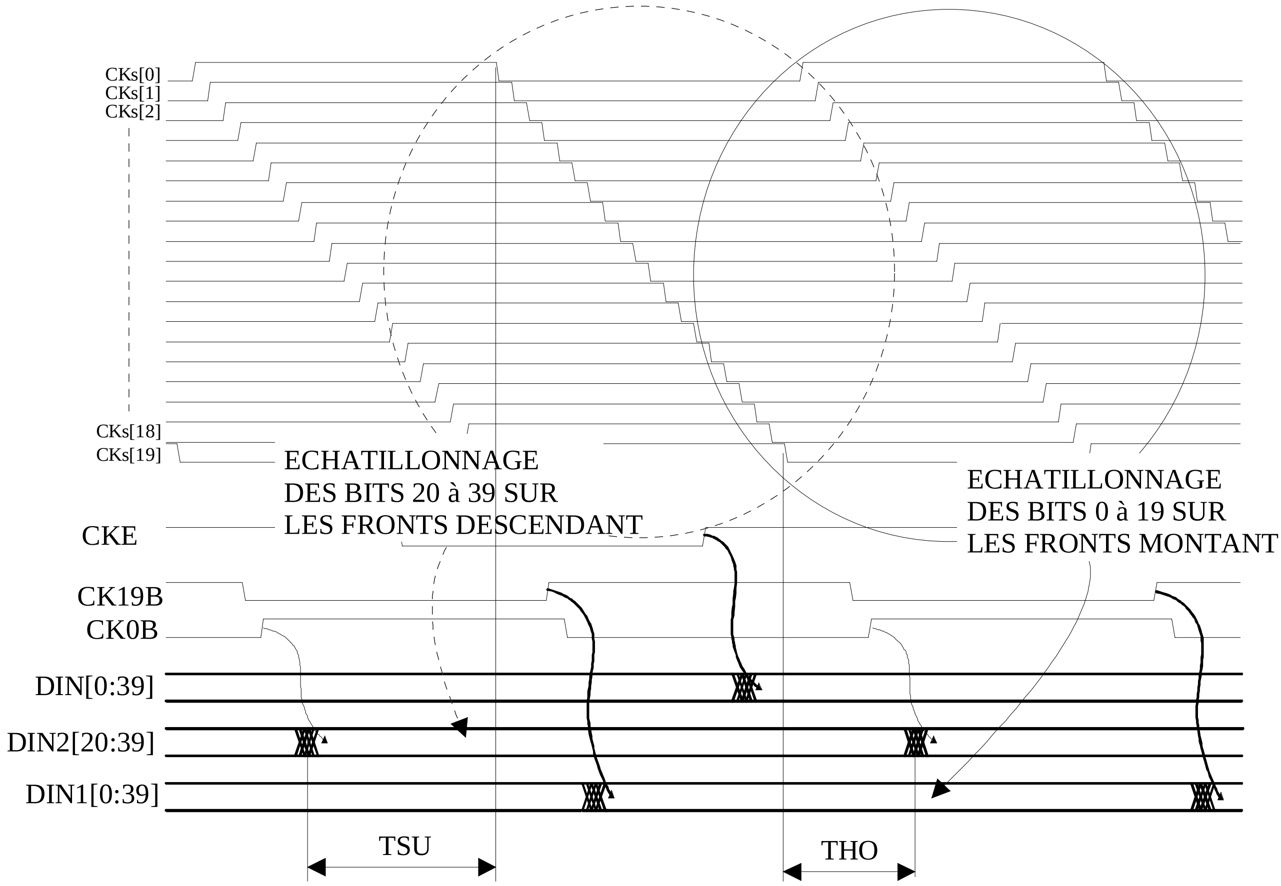


Figure 3.2.b : Maintient de la donnée parallèle stable durant son échantillonnage

Les temps Tsu et Tho représentent le temps de pré-positionnement et de maintient minimum des données par rapport à leurs fronts d'échantillonnage. Les horloges (CMOS) CK0B et CK19B sont générées à partir des horloges d'échantillonnage CKs[0] et CKs[19] (CML) à l'aide d'une conversion CML vers CMOS, décrite précédemment, et une suite d'inverseurs d'amplification (pour attaquer respectivement 20 et 40 bascules). Ainsi, les temps d'établissement de ces fronts doivent être soigneusement estimés afin de garantir une donnée stable lors de l'échantillonnage.

3.2.3 Les bascules d'échantillonnage

La frontière entre le "monde" CMOS et le "monde" CML est située au niveau du ou-exclusif de la bascule d'échantillonnage. En effet, il reçoit d'une part la sortie de la bascule de synchronisation (CMOS) et d'autre part la sortie de la bascule d'échantillonnage (CML). Sa sortie attaque la bascule d'échantillonnage, elle sera donc à niveau CML. Pour économiser un convertisseur CMOS vers CML en sortie des bascules de synchronisation, on réalise un ou-exclusif "mixte" (figure 3.2.c)

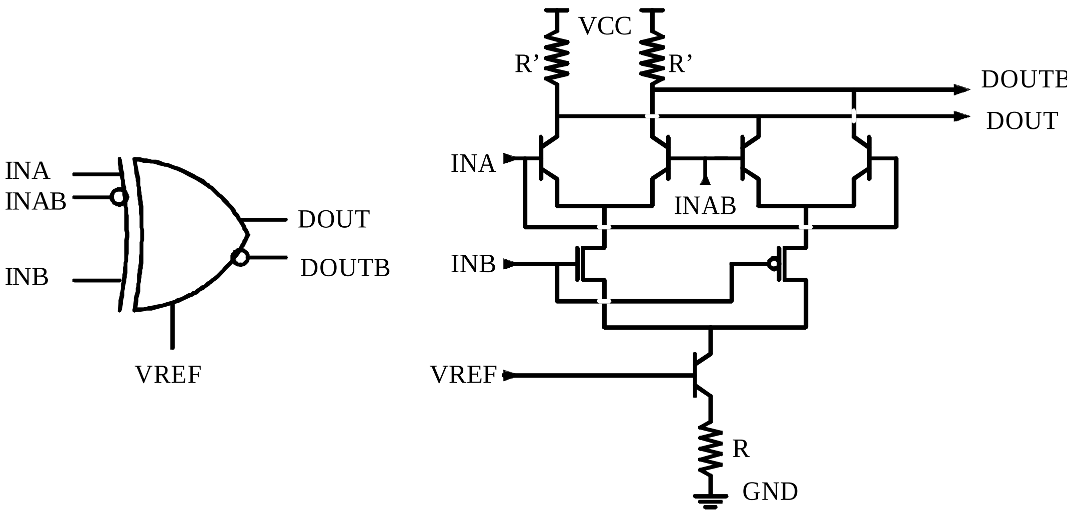


Figure 3.2.c : OU-exclusif à entrées CMOS et CML et sortie CML

Les bascules CML utilisées sont identiques à celle décrite pour la bascule de déclenchement.

3.2.4 L'arbre de XORs

Là encore, c'est la consommation prohibitive des 47 ou-exclusifs (estimée au chapitre précédent à 160 mWatt) qu'il faut minimiser.
Pour chacune des quarante sorties des bascules d'échantillonnage, on doit associer une entrée de l'arbre. On s'aperçoit qu'en associant aux entrées des ou-exclusifs du premier étage de l'arbre le bit i (i ∊ [0,19]) et i+20, la fréquence maximum en sorties des ou-exclusifs du premier étage sera seulement de 160 Mhz (Figure 3.2.d).

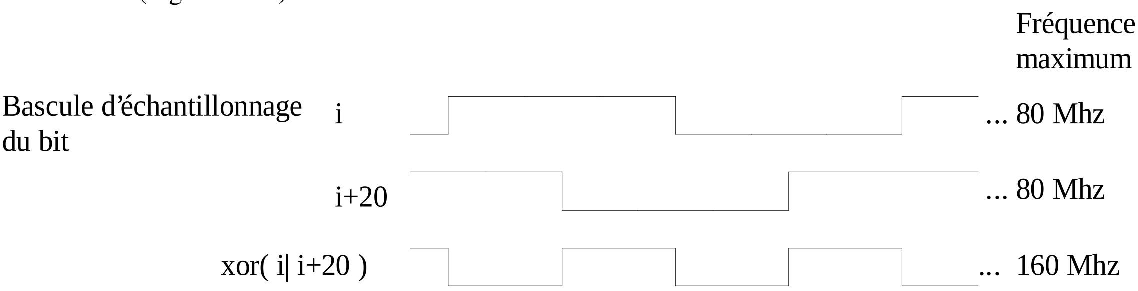


Figure 3.2.d : Fréquence maximum du premier étage de l'arbre de XORs

De même, en associant (à l'intérieur de l'arbre) les bits pairs ensemble et les bits impairs ensemble, seul le dernier ou-exclusif fonctionnera à la fréquence de transmission (Figure 3.2.e):

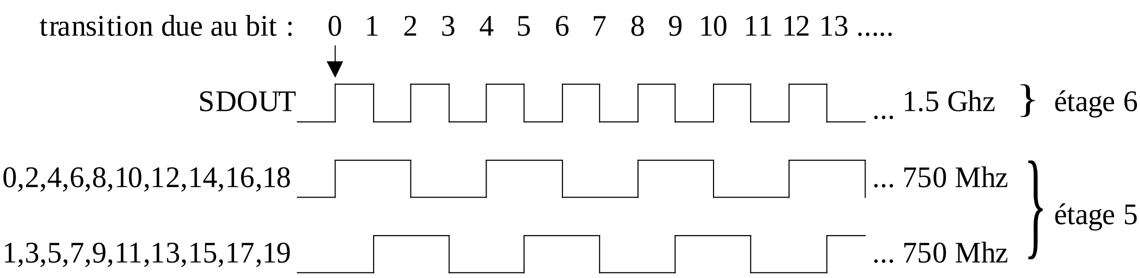


Figure 3.2.e : Fréquence maximum des derniers ou-exclusifs de l'arbre de XORs

On peut donc limiter la fréquence maximum de fonctionnement par étage dans l'arbre. La figure 3.2.f montre la structure de l'arbre de ou-exclusifs tel qu'il a été implanté.

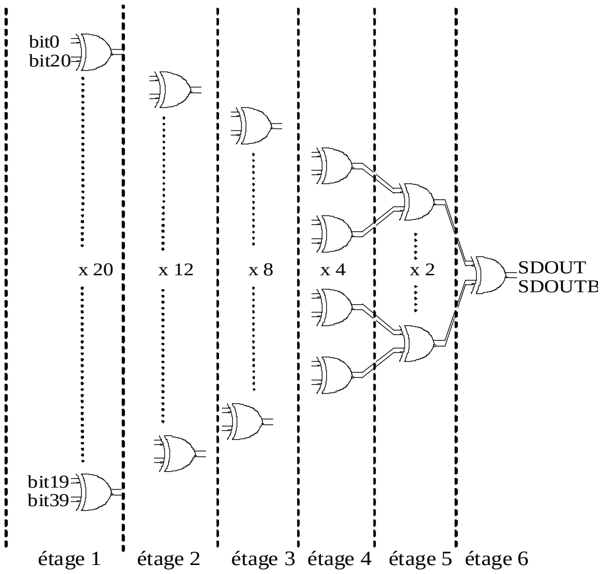


Figure 3.2.f : Structure de l'arbre de ou-exclusifs

Ainsi, ces quatre premiers étages, soit 44 ou-exclusifs sur 47, fonctionnent à des fréquences inférieures ou égales à 375 Mhz.

Cette propriété nous permet de minimiser la consommation. En effet, la bande passante d'une porte CML varie en fonction du courant. Lorsque l'on mesure la bande passante, telle qu'elle a été définie au chapitre 2, du ou-exclusif en fonction du courant If, on constate que l'on peut fixer deux courants de fonctionnement (figure 3.2.g). Pour les ou-exclusifs "lents" (bande passante inférieure à 400 Mhz) le courant sera fixé à 85 µA, pour les ou-exclusifs "rapides" (bande passante allant jusqu'à 1.5 Ghz), il sera fixé à 280 µA.

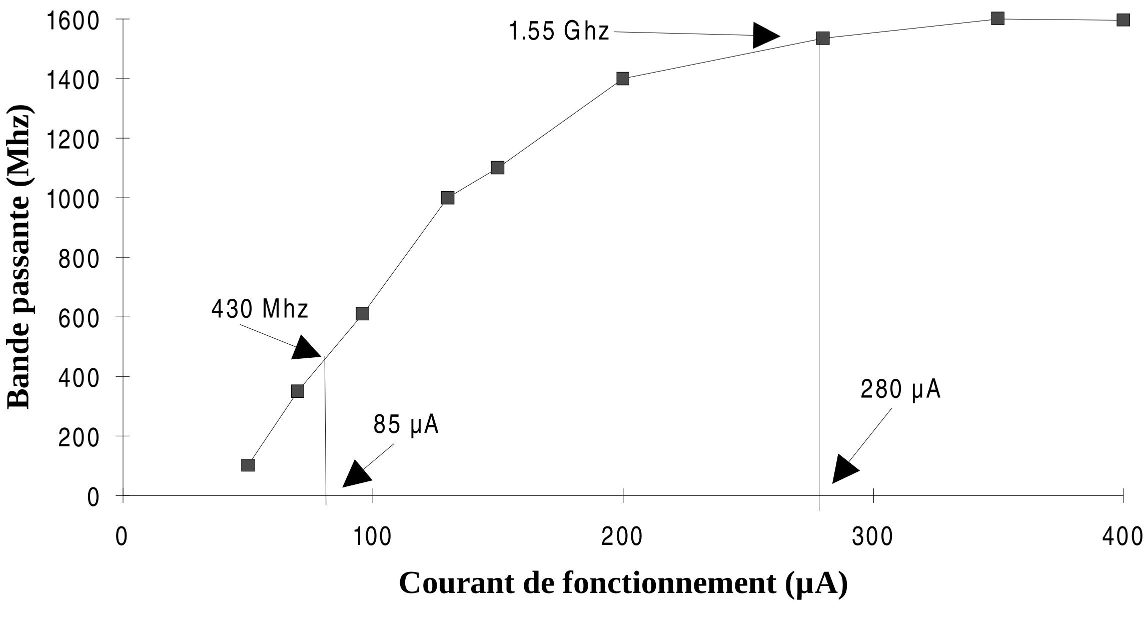


figure 3.2.g: Mesure de la bande passante du ou-exclusif
en fonction de son courant d'utilisation.

Pour contrôler le courant de la porte CML, on modifiera la tension de référence Vref appliquée à la source de courant de la paire différentielle.

Cette tension est obtenue par le circuit présenté ci-dessous :

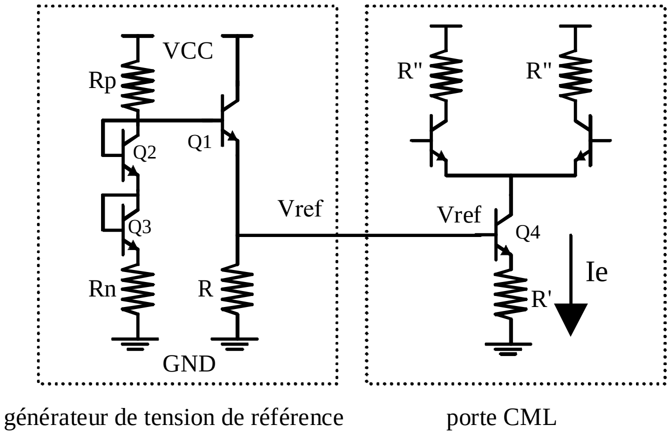


Figure 3.2.h : Générateur de tension de référence

Dans le schéma du générateur, les transistors Q2 et Q3 forment deux diodes de tension Vbe. En s'assurant que le générateur fonctionne à un courant voisin de la porte CML, ceci permet de considérer les tensions base-emetteur de ces transistors égaux aux tensions base-emetteur des transistors Q1 et Q4. Ainsi, la tension de référence ne dépend plus que du rapport des résistances Rp et Rn et sera stable quelles que soient les fluctuations des tensions base-emetteur des transistors (par dispersion technologique).
Pour assurer des temps de propagation identiques dans l'arbre, le ou-exclusif est réalisé en logique CML différentielle (figure 3.2.i).

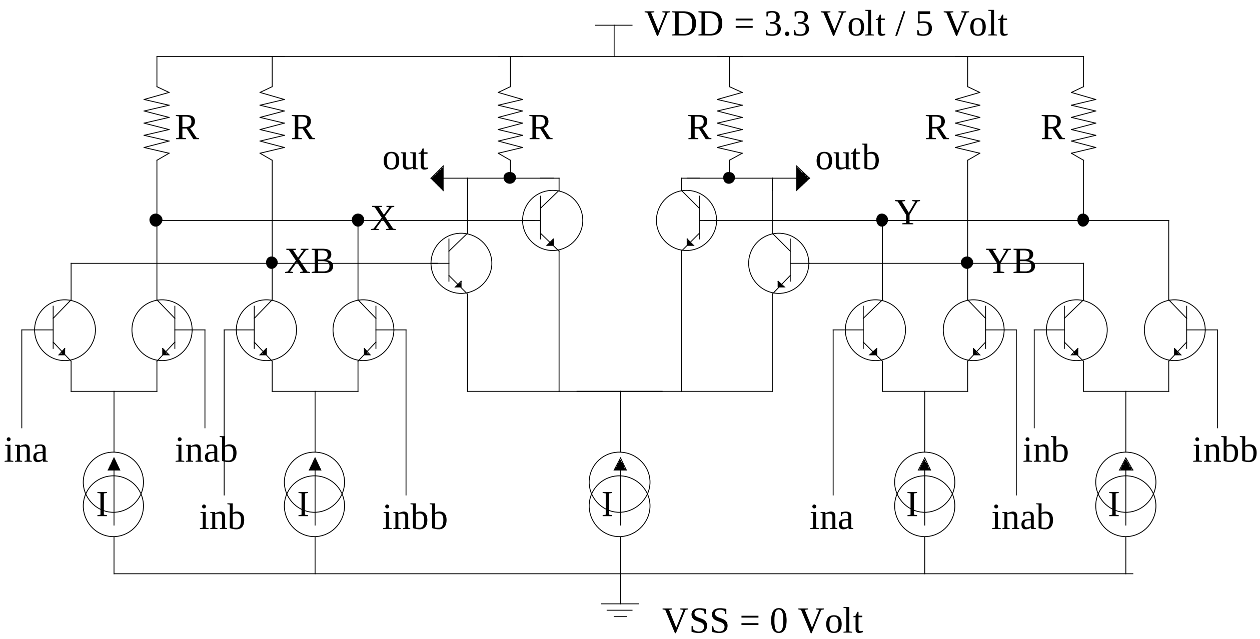


Figure 3.2.i : Schéma du ou-exclusif

La caractéristique principale de ce schéma est que les signaux INA, INAB, INB et INBB jouent des rôles parfaitement symétriques. Son principe de fonctionnement est expliqué dans les tables 3.2.j et 3.2.k. Les niveaux CML sont fixés à VCC = 3.3 Volt et VCC-RI= 3.05 Volt. L'amplitude entre les deux niveaux de tension ("swing") est donc de 250 mVolt. Une si faible amplitude permet de ne pas saturer les transistors bipolaires des paires différentielles et de limiter la valeur de la résistance R (le temps de propagation de la porte CML étant proportionnel à la valeur RC vue par le collecteur du transistor bipolaire).

ina	inab	inb	inbb	x	xb	y	yb	out	outb
VDD - RI	VDD	VDD - RI	VDD	VDD - 2RI	VDD	VDD - RI	VDD - RI	VDD - RI	VDD

VDD - RI	VDD	VDD	VDD - RI	VDD - RI	VDD - RI	VDD	VDD - 2RI	VDD	VDD -
VDD	VDD - RI	VDD - RI	VDD	VDD - RI	VDD - RI	VDD - 2RI	VDD	VDD	VDD -
VDD	VDD - RI	VDD	VDD - RI	VDD	VDD - 2RI	VDD - RI	VDD - RI	VDD - RI	VDD

Table 3.2.j : Niveaux des tensions des différents noeuds du ou-exclusif

ina		inb		out	
Tension	logique	Tension	logique	Tension	logique
VDD - RI	0	VDD - RI	0	VDD - RI	0
VDD - RI	0	VDD	1	VDD	1
VDD	1	VDD - RI	0	VDD	1
VDD	1	VDD	1	VDD - RI	0

Table 3.2.k : Table de vérité

Pour obtenir un temps de propagation identique pour la traversée de l'ensemble de l'arbre, la réalisation du dessin des masques doit être particulièrement soignée. La longueur des fils de connections entre les différents étages seront les plus identiques possible et la porte ou-exclusif est rendue physiquement symétrique :

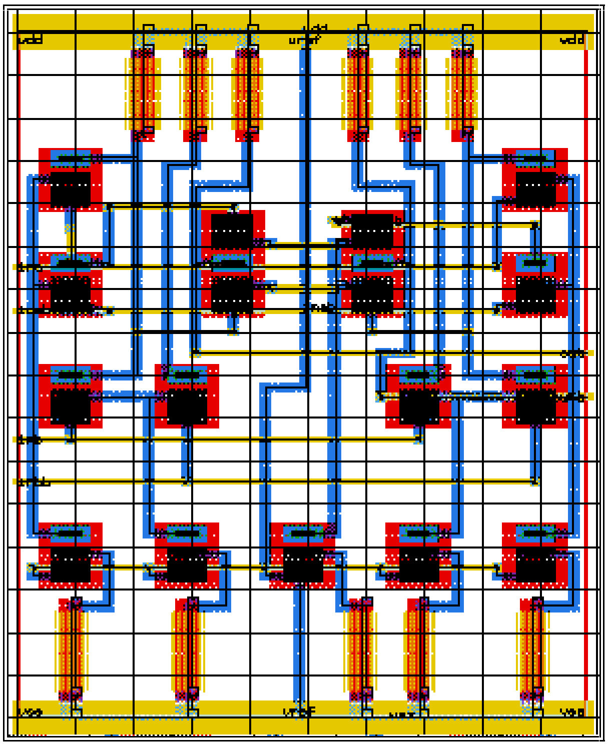


Figure 3.2.l : Vue physique du ou-exclusif dans le process 0.5 µm (49µmx79 µm)

La bande passante du ou-exclusif fonctionnant à fort courant est de l'ordre de 1.5 Ghz. Au delà, le signal de sortie subit une atténuation. Dans la partie droite de la figure 3.2.n (présentant une simulation ELDO du dernier ou-exclusif de l'arbre), à 1 Ghz, la sortie du ou-exclusif à le temps d'atteindre son régime établi avant de rechanger d'état. Par-contre, dans la partie gauche, lorsque des changements d'état des entrées surviennent à une fréquence supérieure à 2 Ghz, la sortie est atténuée.

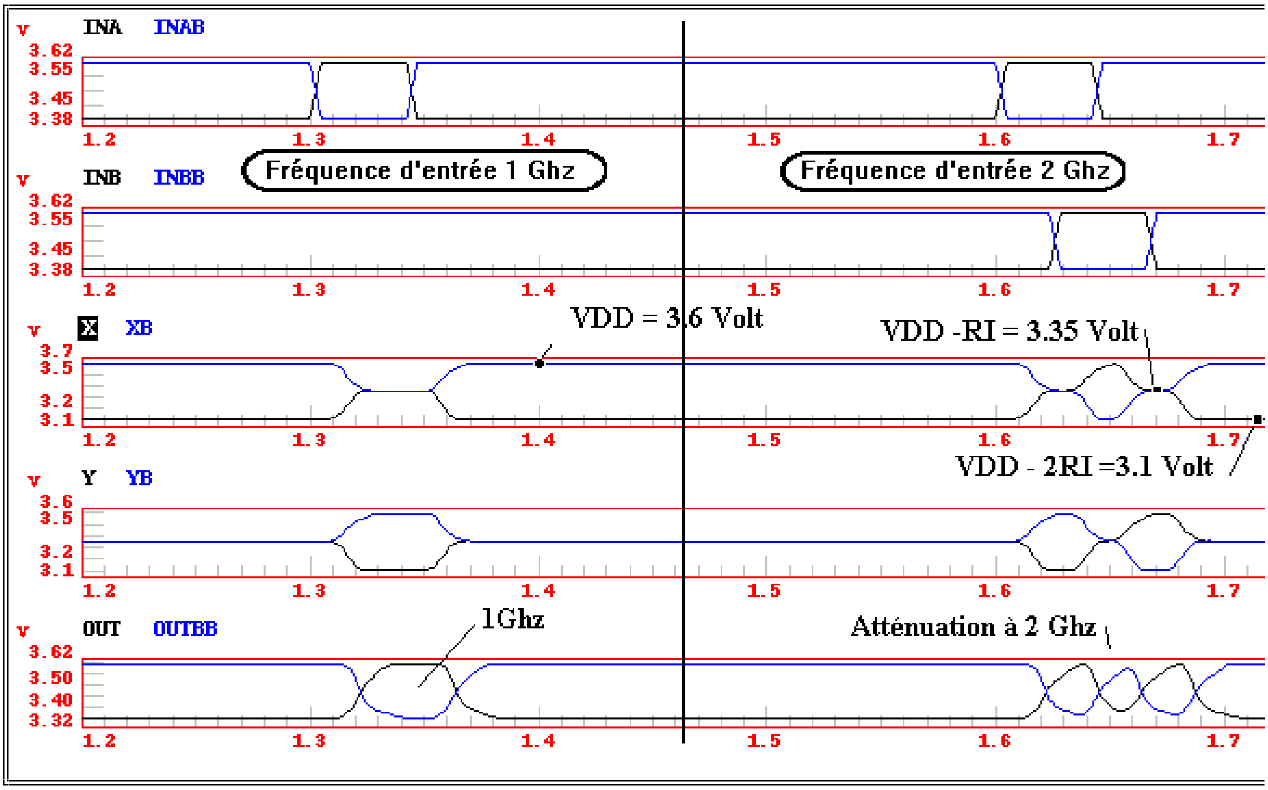


Figure 3.2.n : Atténuation du signal de sortie à 2 Ghz
en simulation meilleur cas dans le process 0.5 µm

Enfin, la figure 3.2.o montre une vue globale des dessins des masques de l'arbre de ou-exclusifs.

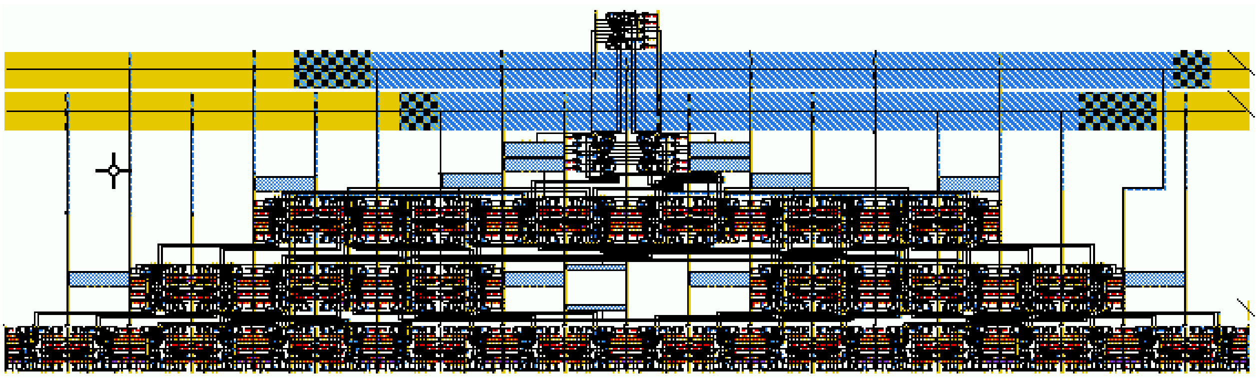


Figure 3.2.o : Implantation VLSI de l'arbre de ou-exclusifs

3.3 L'amplificateur de sortie série

Le dernier ou-exclusif de l'arbre, générant le signal série, fonctionne sous un courant de 280 µA. Pour pouvoir sortir ce signal sur circuit imprimé, il faut que le courant de charge, de l'amplificateur de sortie, soit amplifié. Une succession de portes CML, dont le courant de fonctionnement augmente graduellement, permet de générer un tel courant (figure 3.3.a).

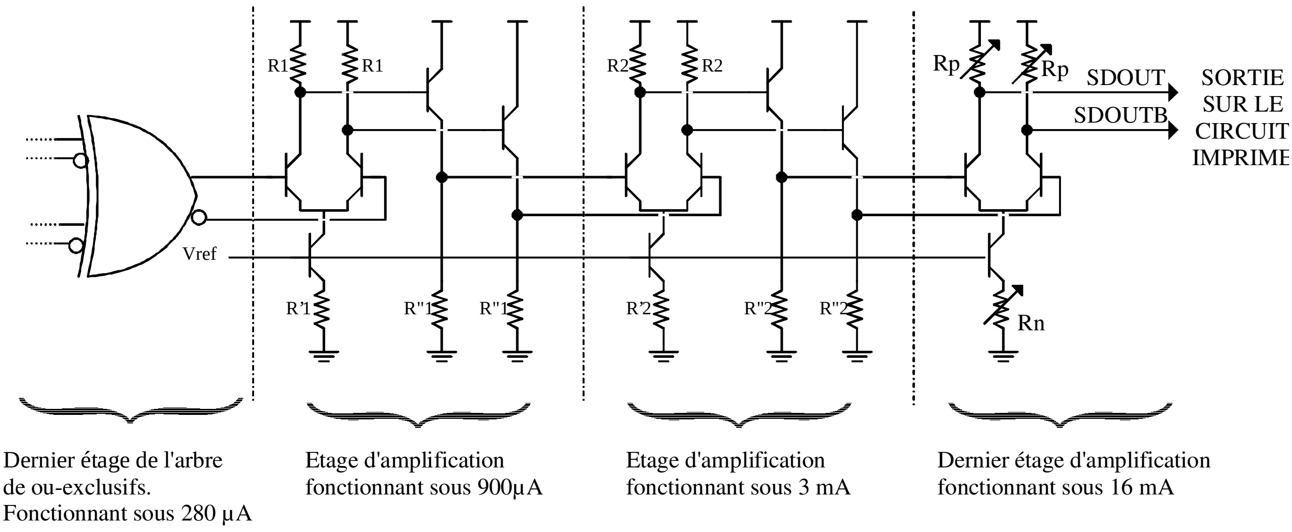


Figure 3.3.a : Amplification du courant de charge

Le second rôle de l'amplificateur de sortie est d'assurer une adaptation série de la ligne de transmission afin d'éviter toutes perturbations dues à des phénomènes de réflexion.
La figure 3.3.b montre le principe de cette adaptation série.

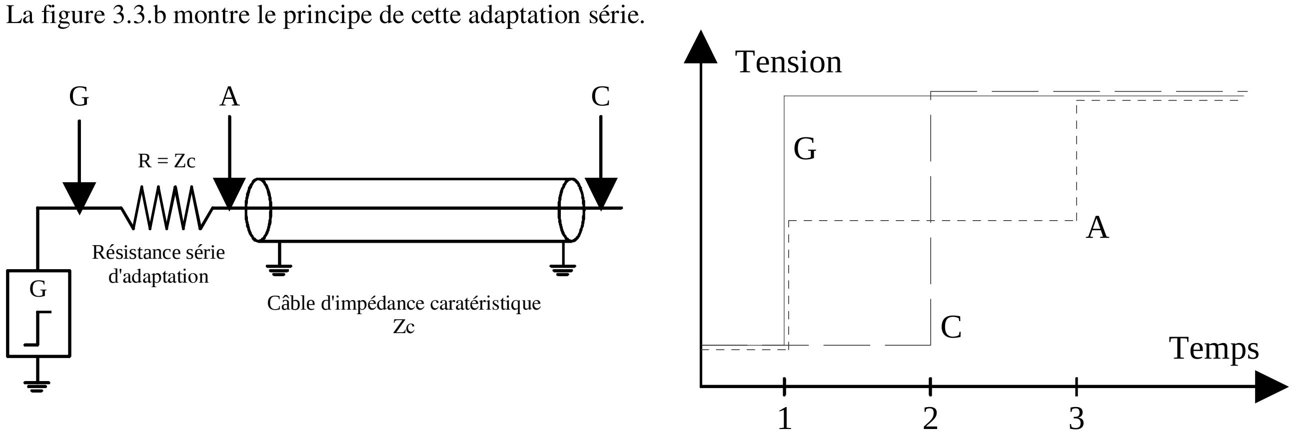


Figure 3.3.b : Transmission par adaptation série

Dans notre application, les câbles coaxiaux possèdent une impédance caractéristique de 50 Ohm. La résistance d'adaptation série sera directement la résistance de collecteur du dernier étage d'amplification et devra être contrôlée pour faire 50 Ohm.
L'amplitude du signal série ayant été fixée au chapitre 1 à 800 mV, le courant de fonctionnement du dernier étage devra donc être contrôlé pour faire 16 mA.

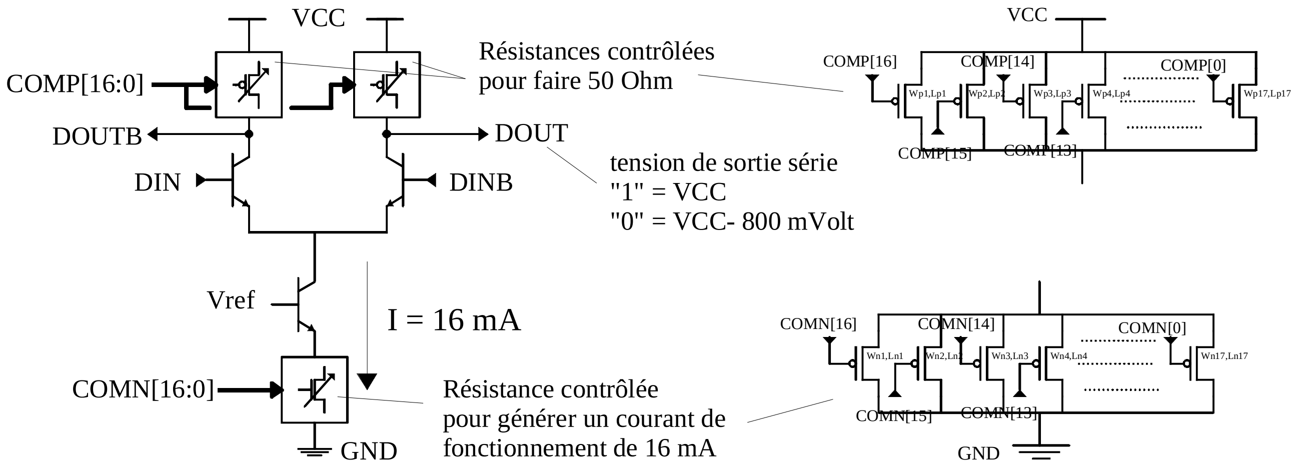


Figure 3.3.c : Dernier étage de l'amplificateur de sortie

Le contrôle de ces deux paramètres (résistance de collecteur à 50 Ohm et résistance de la source de courant pour générer 16 mA) est réalisé par un circuit spécifique, nommé ZC. Réalisé par Monsieur Jean-Claude Lebihan, ce bloc, ne nécessitant qu'une seule résistance externe Rext, permet de contrôler à l'intérieur du circuit ces deux paramètres et donc s'adapte en permanence aux variations des conditions de fonctionnement (variation du procédé de fabrication, de la température, etc.).

- **Ajustement du courant de fonctionnement**

A l'aide d'un pont de résistances, on génère une tension de référence égale à VCC - 800 mVolt. Cette tension est comparée, en continue, à la tension Vrext obtenue par la traversée d'un courant généré dans une résistance externe (sur circuit imprimé) de 50 Ohm (figure 3.3.d).

Le courant généré est obtenu par une résistance variable (transistors NMOS mis en parallèles) placée sous une différence de potentielle fixe.

Lorsque le système atteint son équilibre, la commande COMN[16:0], contrôlant les grilles des transistors NMOS mis en parallèles, oscille entre deux valeurs, générant un courant centrées sur 16 mA.

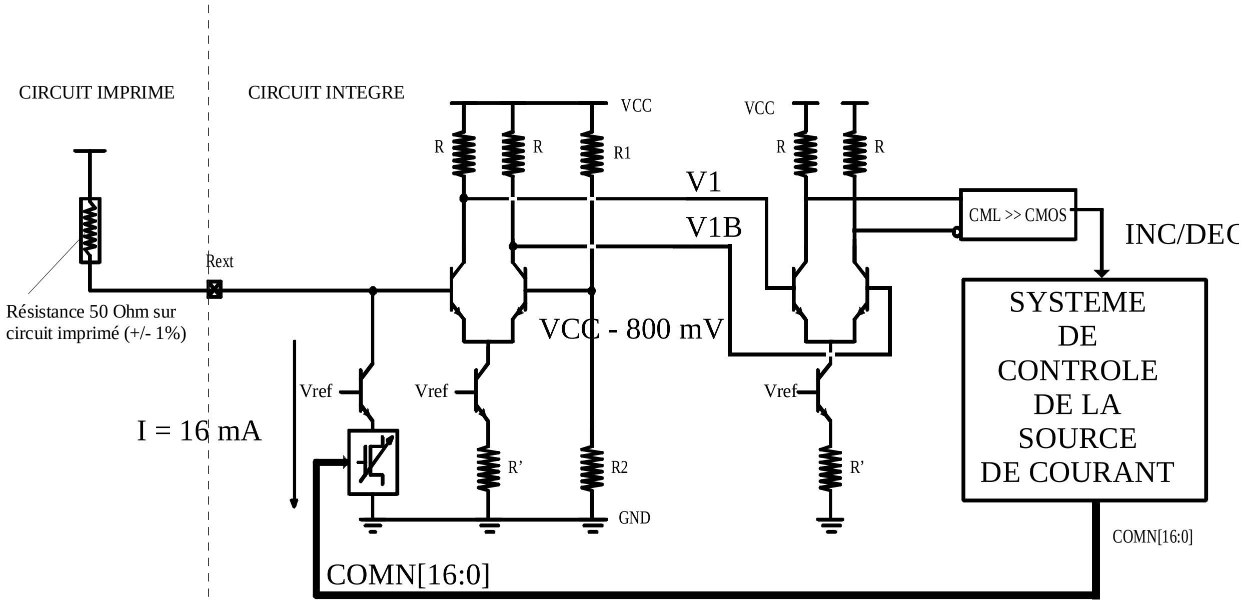


Figure 3.3.d : Génération d'un courant égal à 16 mA

• **Ajustement de la résistance d'adaptation**

L'ajustement à 50 Ohm de la résistance de collecteur utilise un procédé similaire. On compare la tension Vrext (égale à VCC - 800 mVolt) à la chute de potentielle obtenue dans la résistance variable (transistors PMOS mis en parallèles et dont les grilles sont contrôlées par la commande COMP[16:0]) soumis au courant de 16 mA. A l'équilibre, La résistance oscille entre deux valeurs centrées sur 50 Ohm et générant une chute de potentielle égale à 800 mV.

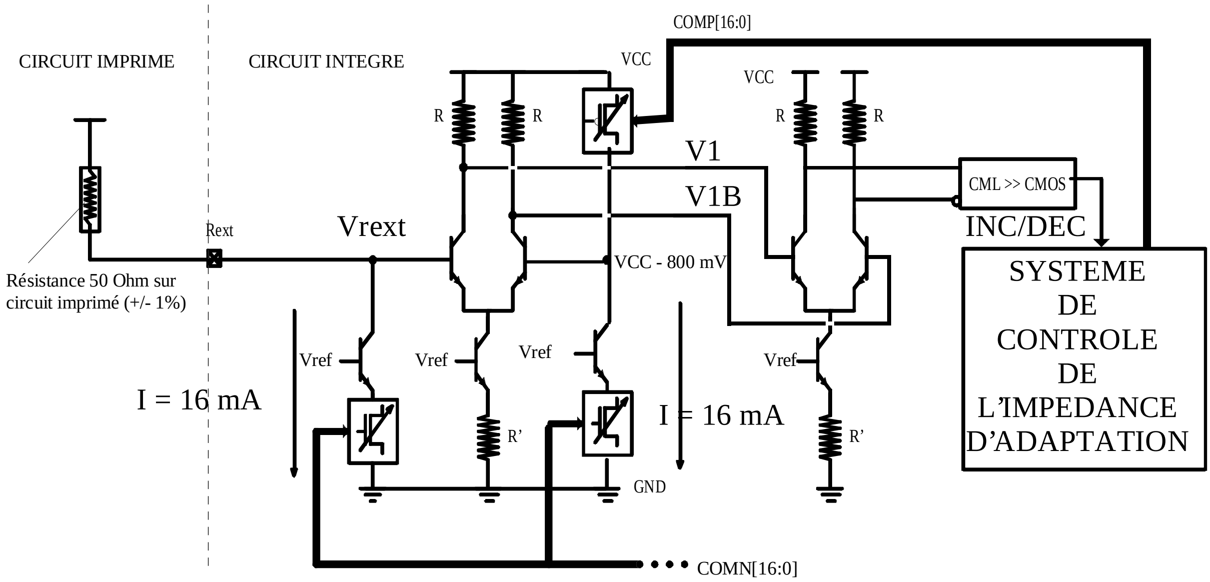


Figure 3.3.e : Génération d'un résistance égale à 50 Ohm

Dès lors, les valeurs COMN et COMP contrôlent l'étage de sortie.

3.4 Conclusions

Comme le montre le tableau ci-dessous, le nouveau concept introduit dans la DLL BiCMOS a permis de ramener la consommation de ses circuits CML de 400 mW à 150 mWatt.

Circuits	**q^{té}**	**Imin**	**Imax**	**Courant total**
Bascule de déclenchement	1	7	-	**0,595 mA**
Retards variable	20	20	2	**42,2 mA**
Comparateur de phase	1	18	-	**1,53 mA**
			TOTAL =	**44,325 mA**

Pe = (3.3 x 44,4) ≅ **146 mW**

De même, l'utilisation de deux courants de fonctionnement, l'un fixé à 85 µA pour les circuits CML fonctionnant à des fréquences inférieures à 400 mHz, le second à 280 µA pour les circuits CML fonctionnant à des fréquences allant jusqu'à 1.5 Ghz, a permis de ramener la consommation du convertisseur parallèle/série à 180 mWatt.

	Circuits	**q^{té}**	**Imin**	**Imax**	**Courant total**
Arbre	ou-exclusif faible consommation	44	5	-	**18,7 mA**

de ou-exclusifs	ou-exclusif forte consommation	3	**-**	5	**4,2 mA**
	générateur de tension Vref	12	2	**-**	**2,04 mA**
Bascule d'échantillonnage		20	16	-	**27,2 mA**
				TOTAL =	**52,14 mA**

Pe = (3.3 x 52,2) ≅ **172 mW**

Chapitre 4

Le circuit de test : FiLinG

Le circuit FILING (**Fi**ber **Lin**k **G**igabits) intègre la macro-cellule sérialiseur décrite au chapitre précédent. L'objectif est de mesurer les performances des nouveaux concepts introduits pour la macro-cellule BiCMOS.

FILING doit, ainsi, permettre de :
- Tester les performances de la macro-cellule serialiseur (*jitter*, consommation, débit maximal, ... etc.).
- Tester les performances des boîtiers à de telles fréquences (bande passante, atténuation, désadaptation, ... etc.).
- Tester les performances des lignes de transmission: d'une part des lignes électriques (câbles coaxiaux, connecteurs, circuit imprimé, ... etc.), d'autre part des lignes optiques (émetteurs/récepteurs optiques, fibres optiques, connecteurs optiques).
- Vérifier la portabilité de la circuiterie BiCMOS vers différents fondeurs. Pour cela, FILING a été fabriqué dans deux process différents: l'un étant un process BiCMOS 0,8 µm sous une alimentation de 5 Volt, l'autre étant un process 0,5 µm sous une alimentation de 3,3 Volt.

4.1 Description

FILING contient le serialiseur complet convertissant des données parallèles, de 40 bits de larges, en données séries à une fréquence de l'horloge externe CKTX pouvant varier entre 40 MHz et 80 MHz (correspondant à des débits sur la sortie série SDOUT/SDOUTB entre 1.6 et 3.2 Gbaud).
Les données fournies à la macro-cellule proviennent d'un banc de registres de 64 mots de 40 bits. Un bloc de contrôle vient lire successivement et périodiquement un nombre programmable de mots écrits dans le banc de registres (depuis l'adresse de lecture la plus haute jusqu'à l'adresse de lecture zéro) et les transmet au serialiseur.

Ainsi, L'utilisateur dispose de 2560 bits pour programmer la forme d'onde sur le signal de sortie série SDOUT/SDOUTB.
Un signal de sortie TRIG permet de synchroniser un oscilloscope sur les sorties SDOUT/SDOUTB. La période de ce signal est un multiple de la période de l'horloge de référence CKTX (T_{trig} = n T_{cktx} ; n pouvant être programmé entre 1 et 8).

La figure 4.1.a montre une vue générale du circuit. Le bus d'entrée TEST[2:0] permet de sélectionner les différents chemins de données du circuit (quatre chemins au total) et de lancer les deux modes de fonctionnement décrits dans les paragraphes suivant.

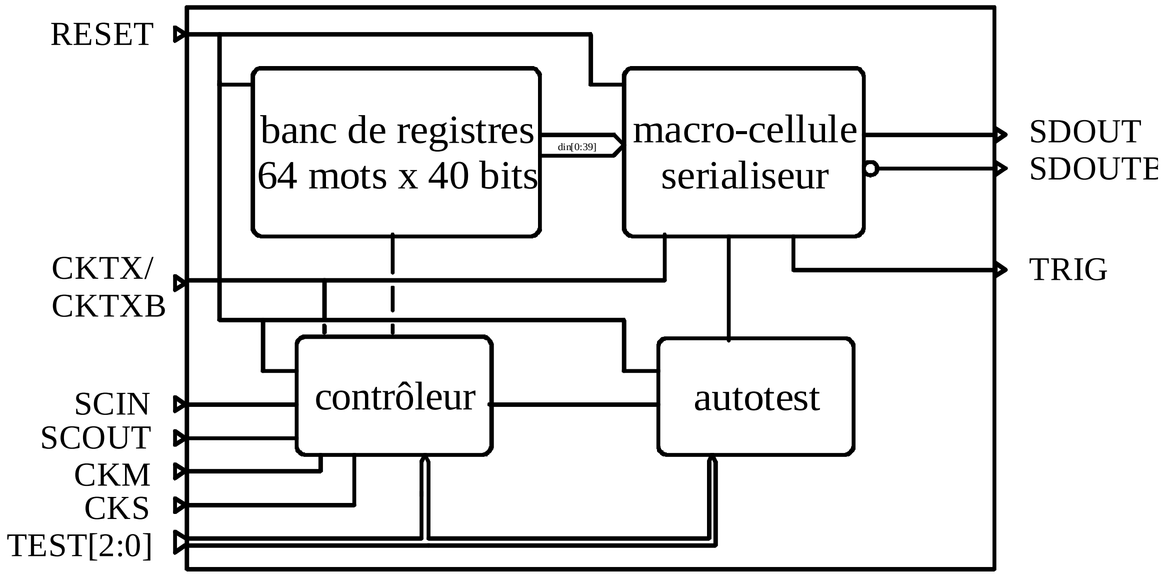


figure 4.1.a : Vue générale du circuit

Afin de pouvoir monter plusieurs puces FILING dans le même boîtier PBGA (Plastic.Ball.Grid.Array), le nombre d'entrées/sorties du circuit a été réduit au minimum. L'idée dans le montage en boîtier PBGA était de mesurer l'influence de la proximité de signaux à très hautes fréquences sur le comportement du signal série .

Le contrôleur gère le lancement des différents modes de programmation du circuit.

Le bloc autotest permet de caractériser le retard linéaire et d'en déduire la plage de fonctionnement de la DLL.

4.2 Modes de fonctionnement

Le mode **RUN** permet de transmettre les 64 mots du banc de registres consécutivement et périodiquement à la macro-cellule. Ainsi, la forme d'onde du signal série pourra être programmée avec une périodicité suffisamment large (2560 bits) pour produire des transitions "pseudo-aléatoire" sur l'ensemble des bits du signal série. Le mode **AUTOTEST** permet de réaliser les mesures de caractérisation directement sur la puce. On peut, enfin, à travers le chemin de données de la macro-cellule extraire différentes informations susceptibles de nous renseigner sur son bon fonctionnement.
L'entrée TEST[2:0] permet de positionner FILING dans l'un de ces différents modes:

TEST[2:0]	MODE	DESCRIPTION
000	RUN	Lance le mode RUN.
001	TESTSER	Sélectionne le chemin de données du serialiseur.
010	TESTZC	Sélectionne le chemin de données du bloc ZC.
011	SLEEP	Position de veille.
100	REGINIT	Sélectionne le chemin de données du banc de registres.
101	REGENA	Valide l'écriture ou la lecture du banc de registres.
110	TESTTRIG	Sélectionne le chemin de données du bloc AUTOTEST.
111	AUTOTEST	Lance le mode autotest.

4.2.1 Mode RUN

Le mode RUN permet à l'utilisateur de programmer la forme d'onde sur les sorties séries SDOUT/SDOUTB.

L'utilisateur initialise, dans un premier temps, le banc de registres à travers son chemin de données, puis positionne FILING en mode RUN. Le nombre de mots, de 40 bits de large, stockés dans le banc de registres et qui seront transmis à la macro-cellule peut être programmé. Il est au plus égal à 64 (<=> 2560 bits) et au minimum égal à 4 (<=> 160 bits). Les mots stockés dans le banc de registres sont alors transmis au serialiseur, de façon cyclique, à la fréquence de l'horloge externe CKTX pour être convertis en série sur la sortie SDOUT/SDOUTB. La figure 4.1.b montre un exemple de programmation avec quatre mots stockés.

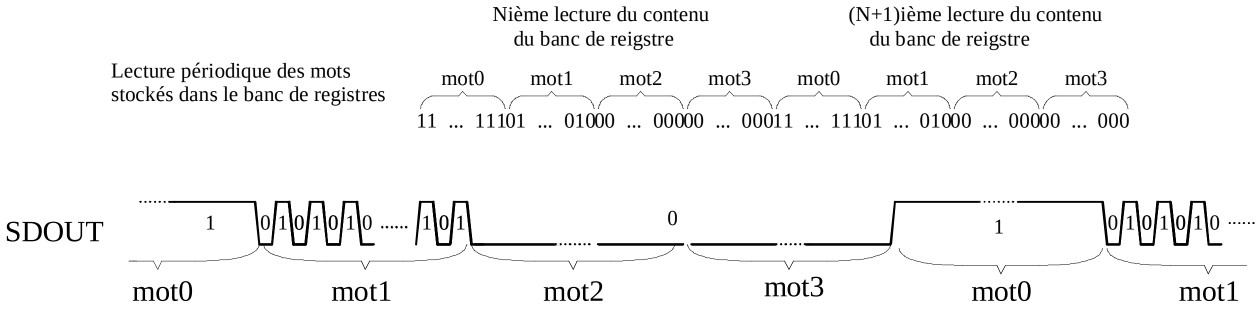


Figure 4.1.b : Exemple de programmation du mode RUN

4.2.2 Mode AUTOTEST

Le mode AUTOTEST permet de mesurer très précisément les temps de propagation moyen du retard variable de la DLL, en fonction de la commande numérique qui lui est appliqué. La courbe des différentes valeurs obtenues après fabrication du circuit peut être ainsi comparée aux courbes obtenues avec le simulateur ELDO.

Sa réalisation est assez peu coûteuse. En rajoutant un minimum de circuiterie, on peut facilement transformer la DLL du serialiseur en oscillateur en anneau (figure 4.2.a).

Après avoir fixé les commandes, des 20 retards qui la constitue, à une valeur unique, on compte pendant une durée T_{test} connue le nombre de fronts montants à la sortie de l'un de ces retards. Il suffit alors d'appliquer la formule ci-dessous pour connaître le temps de propagation moyen du retard linéaire en fonction de la commande numérique qui lui est appliquée.

T_{pd} : Temps de propagation moyen du retard linéaire.
T_{test} : Temps durant lequel les fronts montants sont comptés.
N_{fronts}: Nombre de fronts montants enregistrés.

$$\boxed{T_{pd} = \frac{T_{test}}{N_{fronts} \times 40}}$$

La figure 4.2.a présente le schéma de principe de ce mode :

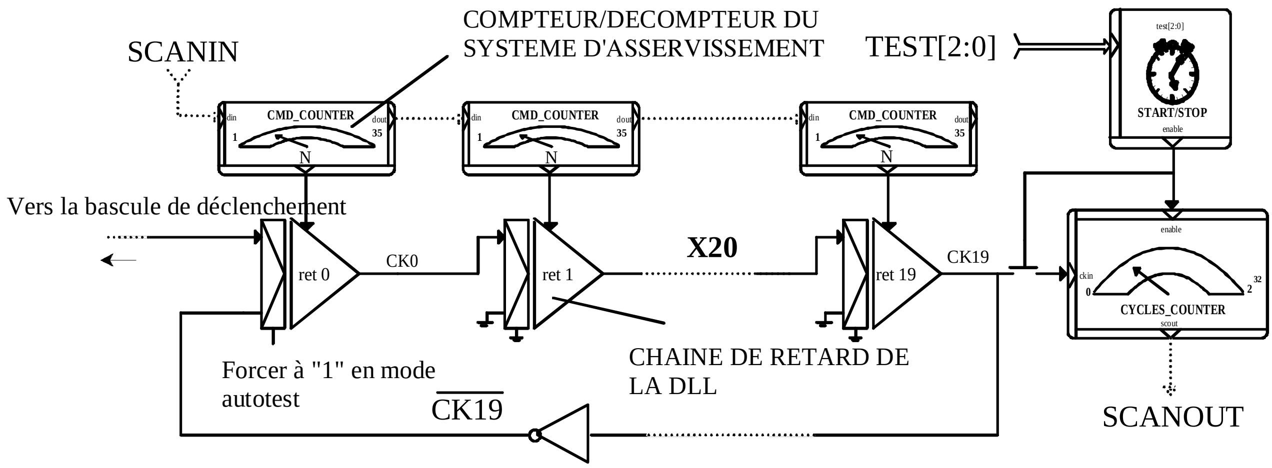


Figure 4.2.a : Schéma de principe du mode AUTOTEST

Dans ce schéma, on retrouve les vingt retards de la DLL bloqués en mode oscillateur. C'est le passage des fronts de l'horloge CK19 qui sont enregistrés par un compteur 32 bits. Le bloc "start/stop" contrôle le lancement et l'arrêt du mode AUTOTEST. Cette mesure à l'avantage de nous renseigner sur la qualité du procédé de fabrication et sur les performances que l'on peut espérer pour la macro-cellule.
Sa principale contrainte est qu'il contrôler très précisément la durée d'application du mode AUTOTEST, sa valeur intervenant directement dans le calcul du temps de propagation.

4.3 Implantation physique

La liaison série étant conçue pour être intégrée facilement comme macro-cellule, Il était nécessaire de démontrer la portabilité de la circuiterie BiCMOS. Ainsi, FILING a été fabriqué dans deux process différents: L'un étant un process BiCMOS 0,8 µm sous 5 Volt, l'autre étant un process BiCMOS 0,5 µm sous 3,3 Volt. Les modifications nécessaires, au niveau des schémas et de l'implantation VLSI, pour changer de fondeur n'ont pas excédé un mois de travail.

Ceci a été rendu possible par l'utilisation de la méthode de dessin symbolique sur grille fine fixe utilisée par la compagnie BULL et le laboratoire MASI dans sa chaîne de support à la conception VLSI: ALLIANCE.

4.3.1 L'approche symbolique

• Introduction

Le principe de l'approche symbolique pour la technologie CMOS est décrit dans la thèse de Luis Lucas :

<< Le dessin symbolique repose sur le découpage uniforme d'une surface en bande horizontale et verticale espacée à un pas de grille régulier nommé λ.

Deux types d'objets de base sont alors manipulés pour réaliser les dessins des masques : **Les primitives** (contacts, ... etc.) caractérisées par un seul point de référence sur la grille et **les fils** (fils de routages, transistors MOS, ...etc.) caractérisés par deux points et une largeur >>.

L'obtention des cotes réelle s'effectue à l'aide d'un programme de conversion effectuant une réduction homothétique de la grille de définition des objets en fonction de la valeur du λ (calculée pour chaque technologie). les largeurs sont obtenues par l'équation :

$$W_{réel} = W_{réel}^{minimum} + \left(W_{symbolique} - W_{symbolique}^{minimum} \right) *$$

• Insertion des objets bipolaires

Les objets bipolaires avaient déjà été introduit dans la méthodologie symbolique de la compagnie BULL, lors de la conception du circuit GIBSI. Certaines modifications ont été apportées pour répondre aux exigences des deux fondeurs visés.

La résistance est réalisée en polysilicium. Elle sera considérée comme un fil, dont le concepteur peut ajuster la longueur et la largeur.

La valeur de la résistance est donnée généralement par l'équation :

$$R = \frac{Leff}{Weff} \text{ x } RSH \text{ x } (1 + TC1 \text{ x } (TEMPDC - 27))$$

avec RSH = Résistance par carré
TC1 = Coefficient linéaire de température
TEMPDC = Température d'utilisation.

L'imprécision maximum sur la largeur Weff, lors de la fabrication, est de 0.04 µm dans le process 0.8 µm. Pour qu'elle n'engendre pas une erreur supérieure à 1% de la valeur attendue, la largeur minimale pour la réalisation des masques a été fixée à 4 µm. Ainsi, le concepteur désirant réaliser une résistance de valeur N Ohm n'a plus qu'à calculer la longueur, Leff, de la résistance :

$$\text{Leff} = \frac{4 \text{ x N}}{\text{RSH}}$$

Lorsque l'implantation physique exige de couder la résistance, La valeur de la résistance du coude est estimée à 1/2 RSH.
La figure 4.3.a montre quelques exemples de dessins symboliques :

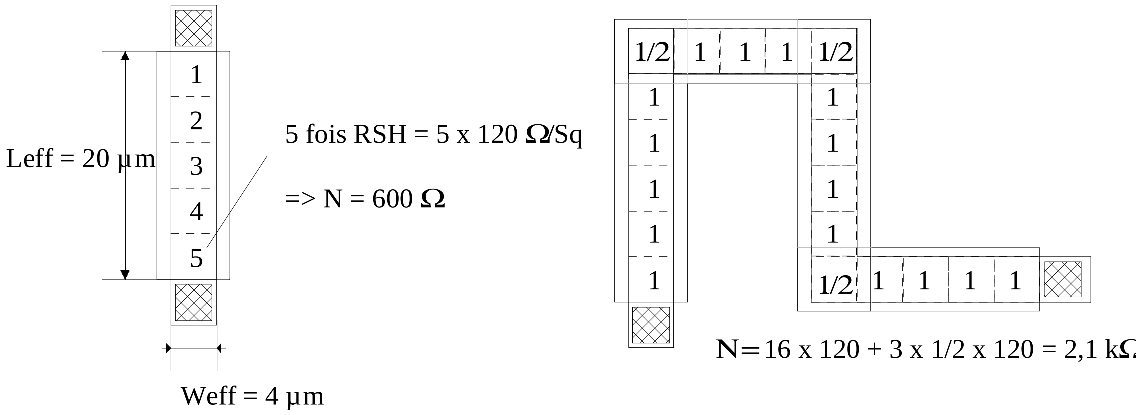


Figure 4.3.a : Réalisation de résistances en polysilicium dans le process 0.5 µm RSH = 120 Ω /Sq

Les différents types de transistors bipolaire, utilisés dans la conception du circuit FILING, ont été réduit à cinq. Ainsi leurs dimensions sont pré définies et le concepteur instancie l'un deux en fonction du courant exigé. Le transistor bipolaire est donc considéré de la même façon qu'un simple contact : comme une primitive.

Pour sortir le signal série de la puce, l'amplificateur de sortie doit transmettre le signal série sur une résistance d'adaptation (R) égale à 50 Ω et sous une tension de 800 mVolt. Le courant de fonctionnement du dernier étage d'amplification est alors de 16 mA. Ainsi, pour pouvoir attaquer ce dernier étage en partant de la sortie du dernier ou-exclusif de l'arbre de ou-exclusifs (fonctionnant, lui , sous un courant d'émetteur de 280 µA, dans le process 0.5 µm), Il faut cascader une série de portes CML dont la largeur d'émetteur croît régulièrement (ceci afin de délivrer de plus en plus de courant). L'ensemble de la conception des parties bipolaires de la macro-cellule repose donc sur l'utilisation de cinq géométrie différentes de transistors bipolaires NPN. Pour les trois premiers, la structure est identique (Collecteur-Emetteur-Base), seule la largeur d'émetteur varie. Pour le quatrième type de transistor, on augmente le nombre d'émetteurs-bases pour limiter les phénomènes de défocalisation du courant (la densité de courant dans la base du transistor n'est plus constante). Sa structure est

alors : C-B-E-B-E-B-C. Enfin le cinquième type de transistor, fonctionnant sous 16 mA possède un collecteur entourant (figure 4.3.c) permettant de réduire la résistance du collecteur.
Ainsi, dans le process 0.5 µm, les transistors utilisés sont :

Nom	**Structure**	**We/Le (µm)**	**courant d'utilisation**	
			(rapide)	(lent)
T104	C-E-B	0.6 x 1.2	280 µA	85 µA
T108	C-E-B	0.6 x 2.4	500 µA	-
T116	C-E-B	0.6 x 4.8	1 mA	-
T364	C-B-E-B-E-B-C	0.6 x 7.2	3 mA	-
T11000	C[E-B-E-B-E]	0.6 x 21.6	16 mA	-

Table 4.3.b : Caractéristiques des différents transistors bipolaire
pour le process 0,5 µm

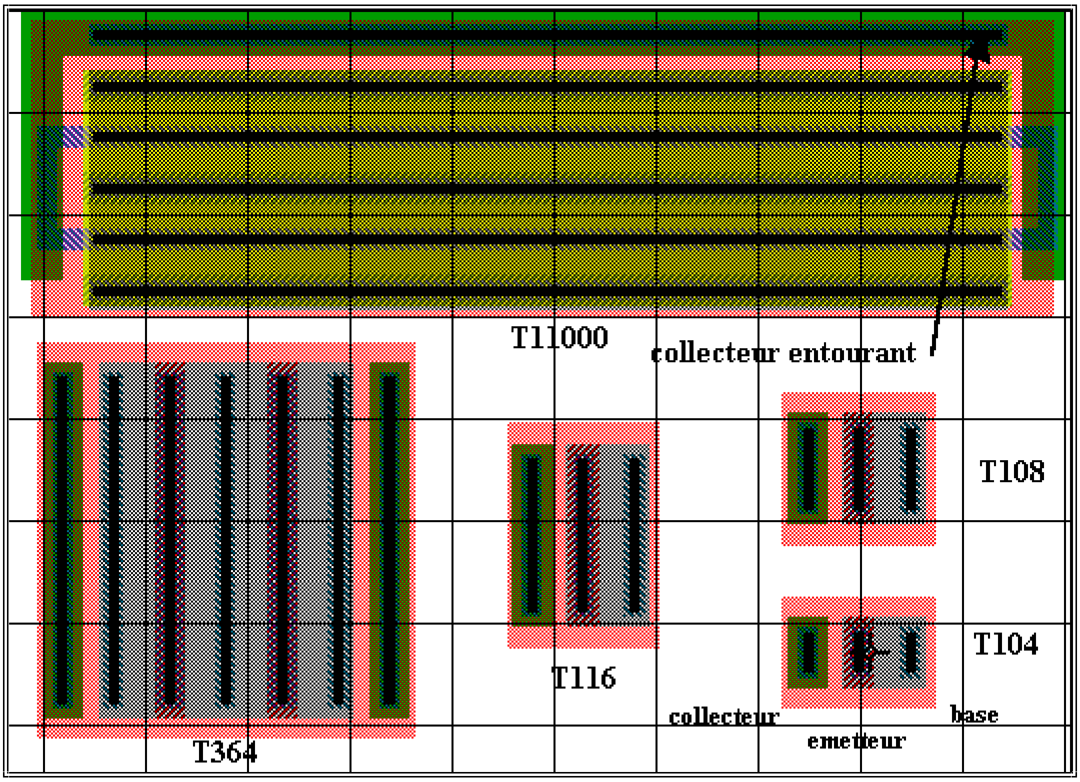


Figure 4.3.c: Géométrie des différents transistors bipolaires

• **Les inconvénients de l'approche symbolique**

Le principal inconvénient de la méthodologie symbolique apparaît lorsque les technologies cibles ont des caractéristiques trop différentes.

Par exemple, le process BiCMOS 0.8 µm ne comporte que deux niveaux de métal. L'utilisation du troisième niveau de métal, disponible dans le process 0.5 µm, nous est donc interdit.

De même, la fabrication des transistors bipolaires dans le process BiCMOS 0.5 µm se fait par une technique d'auto-alignement permettant de réduire considérablement l'espacement minimum entre deux transistors bipolaires. Le process 0.8 µm ne disposant pas de cette technique, il faudra respecter un espacement minimum de 13 λ (6,5 µm dans le process 0.5 µm alors qu'il aurait put être de 3,5 µm).

Dans le process 0.8 µm, La tension d'alimentation est de 5 Volt. Ainsi, pour réaliser des fonctions complexes, on peut cascader jusqu'à trois paires différentielles (séries gated) sans saturer le transistor de la source de courant (T4 dans la figure 4.3.d). Dans le process 0.5 µm la tension d'alimentation est réduite à 3.3 Volt et nous limite à deux étages de paires différentielles maximum.

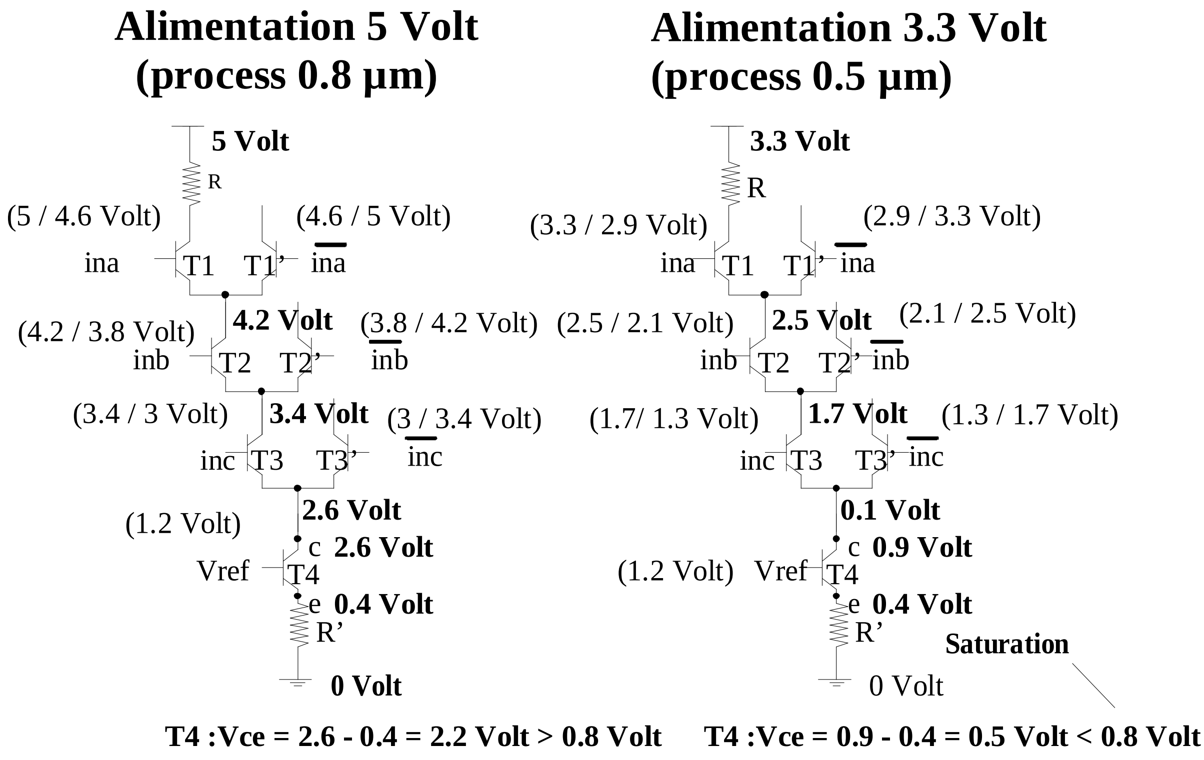


figure 4.3.d : Saturation dans le process 0.5 µm du transistor T4

Ainsi, on voit apparaître un second type de contrainte, d'ordre électrique.

- **Les avantages de l'approche symbolique**

La méthodologie symbolique permet un gain de temps considérable. Ainsi, pour l'ensemble de la macro-cellule serialiseur, seulement deux cellules ont dues être modifiées pour passer des masques du process 0.8 µm aux masques du process 0.5 µm.

Ces deux cellules dépendent en effet des caractéristiques électriques des transistors MOS du process.

La première cellule est le circuit générant la tension de référence Vref (décrit dans le chapitre précédent) et contrôlant la source de courant des portes CML.
En effet, le rapport de courant entre les transistors NMOS et PMOS sont différents dans les deux process. Or la valeur de la tension Vref dépend directement du point de polarisation du pont de résistances réalisées par ces transistors MOS (schéma 1 de la figure 4.3.e).

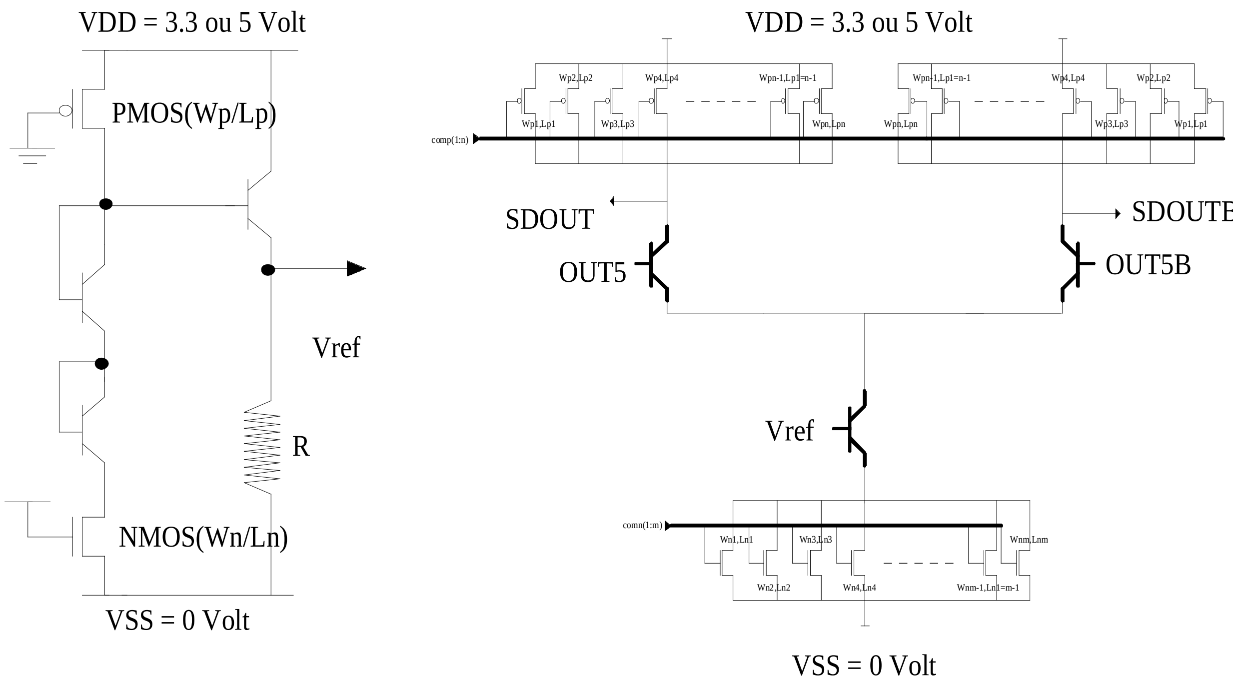


Schéma 1 **Schéma 2**
Le générateur de tension de référence **L'amplificateur de la sortie série**

Figure 4.3.e: Redimensionement des transistors MOS dû aux dispersions technologique

Le second circuit est le dernier étage de l'amplificateur de sortie (schéma 2 de la figure 4.3.e). Pour des raisons similaires de dispersion technologique, les transistors NMOS et PMOS ont dus être redimensionnés. En effet, la résistance générée par l'ensemble des transistors PMOS en parallèle doit se centrer sur la résistance d'adaptation

50 Ω et les transistors PMOS doivent être taillés pour générer un courant d'émetteur de 16 mA.

• Vue de la puce dans les deux process

La photo, ci-dessous, montre le circuit FILING dans sa version 0,5 µm. L'ensemble des plots logiques ont été placés sur un unique côté du circuit au pas de 254 µm. Les plots d'alimentation ont été intercalés entre eux au pas de 127 µm. Les plots d'alimentation ont été dupliqués sur les petits côtés du circuit.

Ceci permet de se connecter à la puce soit uniquement par son grand côté, en utilisant tous les plots (méthode utilisée avec le boîtier PBGA, voir paragraphe 5.5.2 L'approche PBGA) ou de connecter uniquement les plots fonctionnels du grand côté et de venir alimenter la puce par ces petits cotés. Ainsi, on peut négliger les plots intercalés au pas de 127 µm lors de l'utilisation de boîtiers ne tolérant pas un tel espacement.

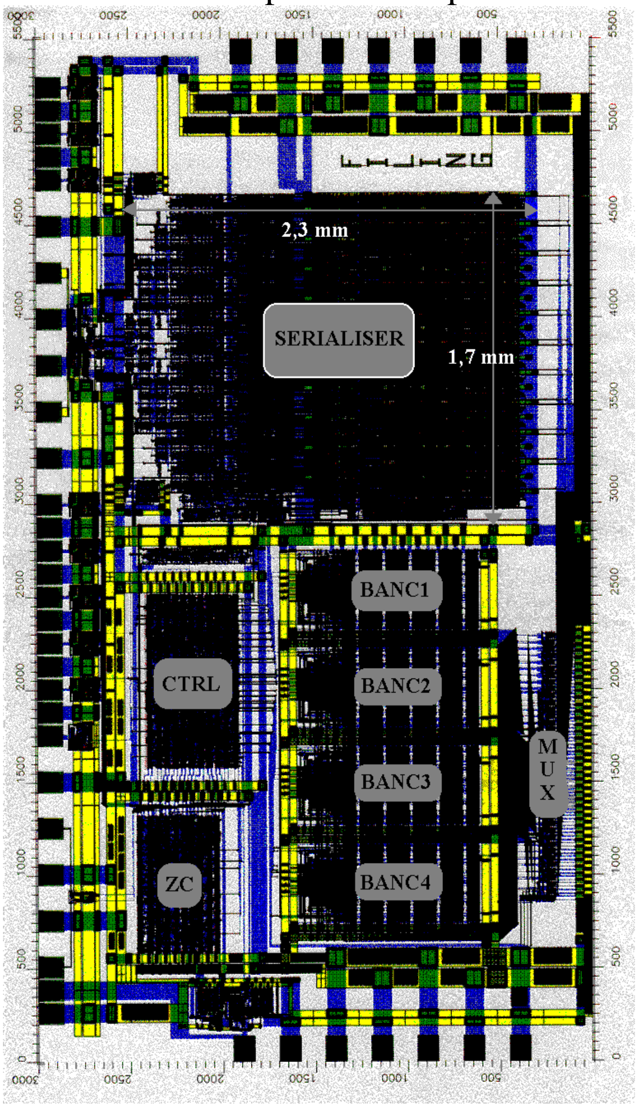


Figure 4.3.f : Implantation du circuit FILING dans le process 0,5 µm

On retrouve la macro-cellule serialiseur décrite dans le chapitre précédent. Le bloc CTRL réalisé en cellules pré-caractérisées regroupe les blocs contrôleur et autotest.
L'impression ci-dessous montre le dessin des masques du circuit FILING dans sa version 0.8 µm :

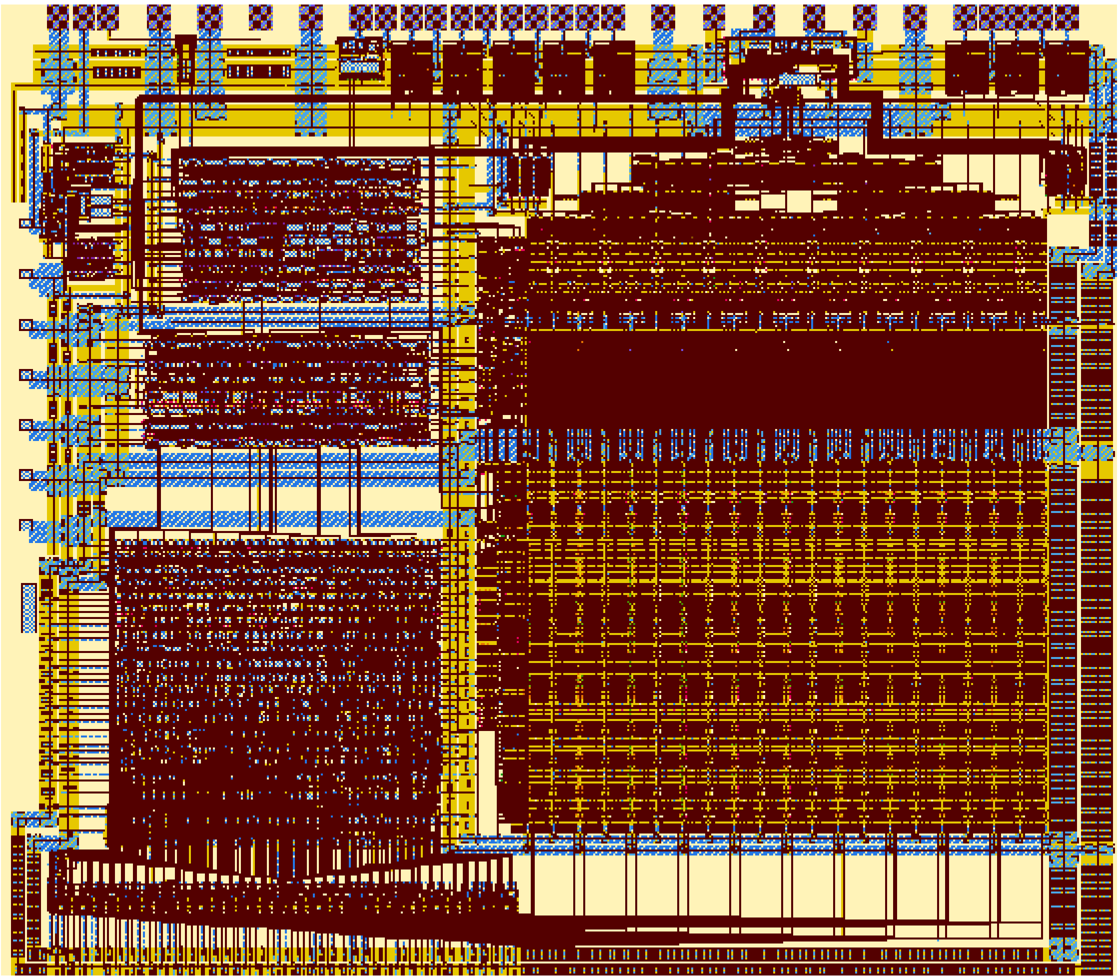


Figure 4.3.g : Implantation du circuit FILING dans le process 0,8 µm

On remarque que le banc de registres a été réalisé en cellules pré-caractérisées. Le banc de registres spécifique, utilisé dans le process 0.5 µm possède en effet un troisième niveau de métal , nous n'avons pas pu le réutiliser. Dans la version 0.8 µm il est donc réduit à un banc de registres de 4 mots de 40 bits.

4.4 Les caractéristiques de surface et de consommation

Les principales caractéristiques du circuit FILING, dans ces deux process, sont résumés dans le tableau ci-dessous :

PUCE	PROCESS BiCMOS 0,8 µm	PROCESS BiCMOS 0,5 µm
Tension d'alimentation	5 Volts	3.3 Volts
Surface	5.5 mm x 4.8 mm	5.5 mm x 3.3 mm
Puissance consommée	1.2 Watts	850 mwatts
Taille du banc de registres	160 bits	2560 bits
Nbre de transistors	35.000	60.000

Les principales caractéristiques de la macro-cellule dans ces différents process sont:

Caractéristiques	Process 0.8 µm	Process 0.5 µm
Surface	7 mm^2	4 mm^2
Nombre de transistors	20.000 5000 NPN & 15000 MOS	20.000 5000 NPN & 15000 MOS
Puissance consommée	900 mwatts	400 mwatts
Plage couverte	1 à 2.4 Gbit/s	1.5 à 3 Gbits/s

Les consommations données dans ces différents tableaux ont été estimées par simulation ELDO et confirmées au niveau de la consommation totale par des mesures réalisées sur les circuits revenus de fabrication.
La surface totale de la maro-cellule est de 4mm2 dans le process BiCMOS 0,5 µm.
Comme le montre la figure 4.4.a, la partie CML représente près de 45% de la surface totale pour seulement 30% des transistors du circuits.

La surface et la consommation de l'émetteur BiCMOS, dans la technologie BiCMOS 0,5 µm, sont près de 4 fois supérieurs à ceux de l'émetteur HS-Link réalisé en technologie CMOS 0,5 µm.

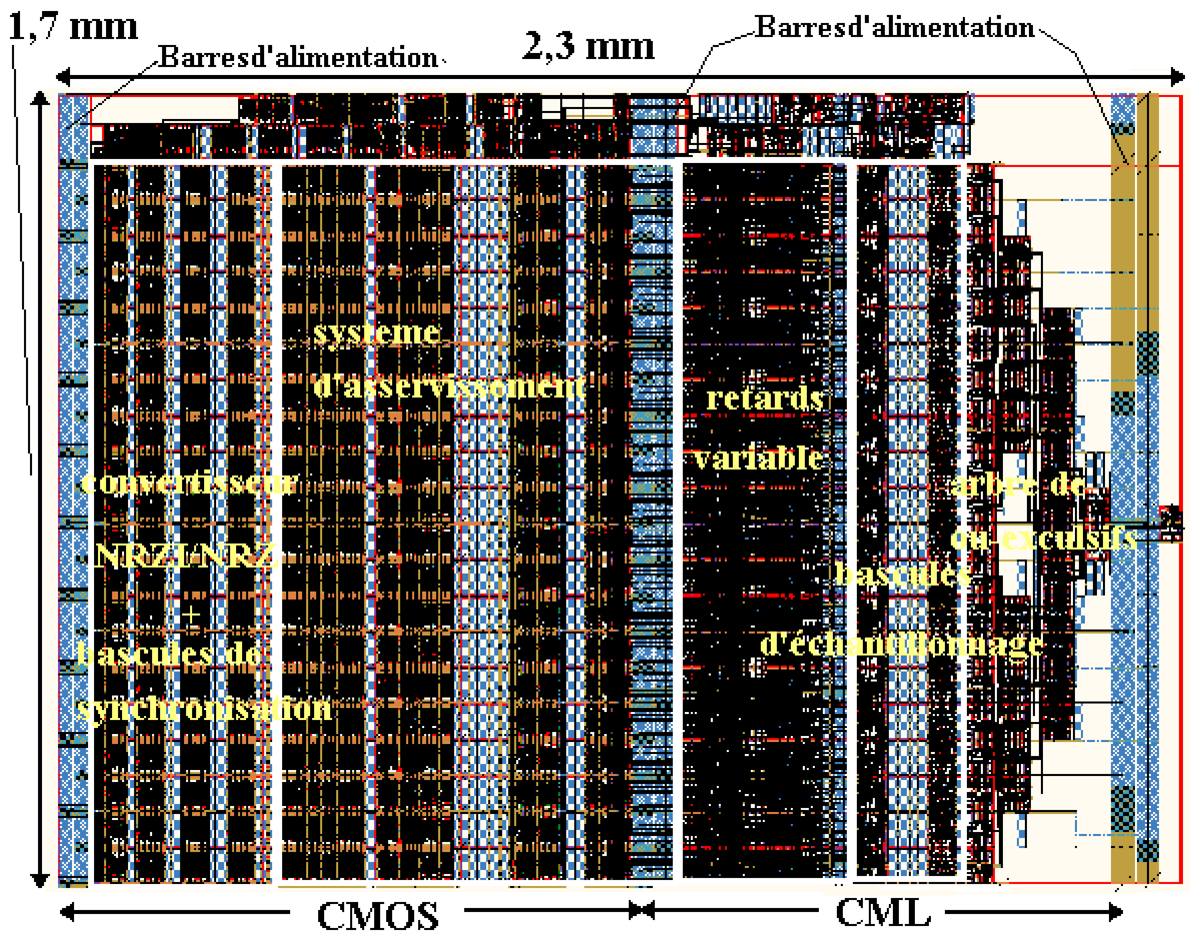


Figure 4.4.a : Vue générale de l'implantation physique de le process BiCMOS 0,5 µm

La figure 4.4.a présente l'implantation physique de l'émetteur BiCMOS. Afin de contrôler l'ensemble des chemins des données parallèles, depuis l'entrée de la macro-cellule jusqu'aux entrées de l'arbre de ou-exclusif, l'implantation physique est réalisée en un chemin de données constitués de 20 rangées. Chaque rangée traite deux bits de la donnée parallèle (le bit i et le bit i+20).

Sur chaque rangée est implantée le retard i associé et les deux bascules d'échantillonnage (l'une front montant pour le bit i, la seconde front descendant pour le bit i+20).

Une barre d’alimentation VCC et GND est introduite entre la partie CMOS et la partie CML de la macro-cellule. Elle permet d’isoler la partie CML sensible des commutations des circuits CMOS.

4.5 Conclusion

L'approche symbolique pour l'implantation physique a permis de basculer en moins d'un mois vers une seconde source de fabrication, en ne retouchant que très peu de cellules analogiques. Les paramètres des deux process étant fortement éloignés (tension d'alimentation, courant de fonctionnement des transistors bipolaire, valeur de la résistance carré des matériaux, ...etc.), le bon fonctionnement du circuit FILING dans ces deux process permettra de démontrer la portabilité et la robustesse des concepts de la liaison série portée dans la technologie BiCMOS.

L'utilisation de circuits CML a multiplié par quatre la surface totale de la macro-cellule BiCMOS. Cependant, le circuit réalisé dans le cadre de cette thèse est un démonstrateur devant couvrir l'ensemble des débits de transmission définis autour des 2.5 Gbits/s. Ainsi, la largeur des données parallèles a été fixé à 40 bits, afin de limiter la fréquence de l'horloge de transmission à 80 Mhz pour le débit maximum de 3.2 Gbits/s.

On peut déduire des résultats de cette étude la surface et la consommation de l'émetteur d'un circuit spécifique répondant à un débit de transmission fixé.

Par exemple, le débit utilisé dans le protocole de transmission Fibre Channel est de 2.125 Gbits/s et la largeur des données parallèles est de 20 bits, fournies à la fréquence de l'horloge de transmission de 106,25 Mhz.

La chaîne de la DLL ne contient alors plus que 10 retards CML. De même, le nombre de ou-exclusifs de l'arbre passe de 47 à 13. En reprenant les tables de consommations des circuits CML, du chapitre précédent, on peut dès lors estimer à 250 mWatt la consommation totale de cette macro-cellule spécifique dans une technologie BiCMOS 0,5µm.

De même, le chemin de données, présenté au paragraphe précédent ne possédera plus que 10 rangées. Ainsi, la surface totale de la macro-cellule sera ramenée au voisinage de 2 mm^2.

Chapitre 5

Résultats des mesures

Ce chapitre résume les principaux résultats de mesures obtenus sur le circuit FILING, fabriqué dans le process BiCMOS 0.5 µm de SGS-THOMSON.
Une caractérisation du retard variable a permis, dans un premier temps, de déterminer la plage de fonctionnement théorique de la DLL BiCMOS et d'en déduire les limites de fonctionnement de la macro-cellule. Une étude du comportement de la DLL sur l'ensemble de cette plage est alors réalisée. On analyse enfin la qualité du signal série généré (*jitter*, débit accessible, ... etc.).
Le circuit FILING, fabriqué dans le process 0,8 µm, a correctement fonctionné sur l'ensemble de la plage des fréquences prévues par simulations ELDO. Son débit maximum de 2.4 Gbits/s étant inférieur aux débits atteints par le circuit FILING fabriqué dans le process 0,5 µm, nous présentons uniquement, dans ce chapitre, les résultats des mesures réalisées dans le process 0,5 µm.

5.1 Caractérisation du retard variable

Afin de déterminer la plage théorique de fonctionnement de l'émetteur BiCMOS, il faut analyser, dans un premier temps, la qualité et la plage couverte par le retard variable de la DLL BiCMOS.

5.1.1 Résultats des mesures

Le graphique 5.1.a compare les résultats de temps de propagation mesurés, à l'aide du mode AUTOTEST (voir chapitre 4), par rapport à ceux obtenus par simulation ELDO.

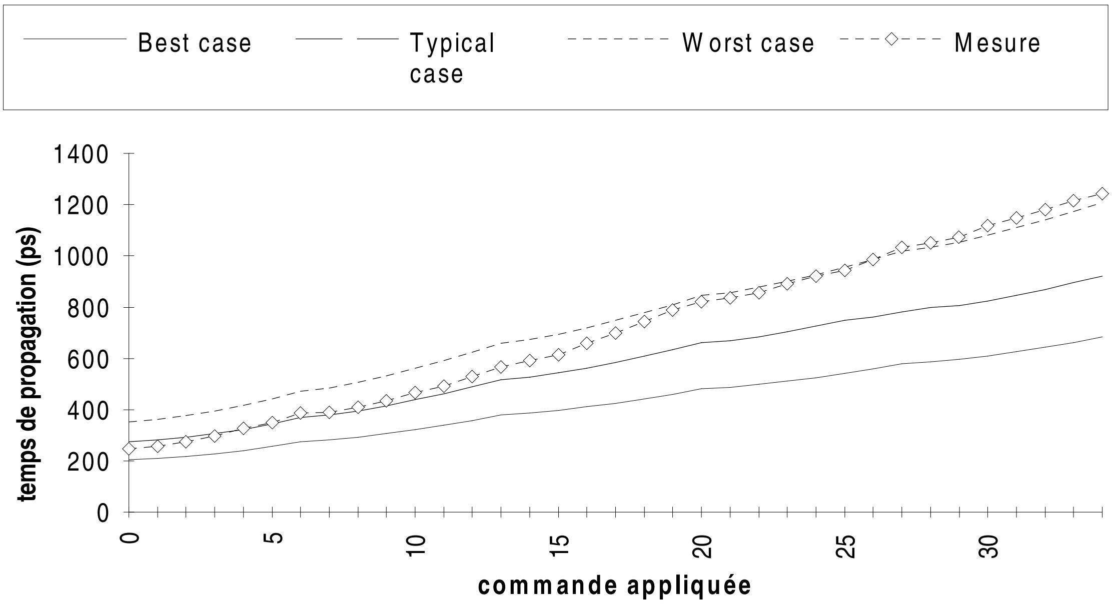


Figure 5.1.a: Temps de propagation mesurés en mode AUTOTEST

La courbe de mesures reste monotone sur toute la plage de fonctionnement.
Le temps de propagation minimum, voisin de 250 ps, montre que la qualité de fabrication correspond aux modèles typique de simulation.
On remarque cependant que le pas entre les différentes valeurs prises par le retard variable est légèrement supérieur à celui obtenu sur simulation.
Ce phénomène peut être imputé aux temps de propagation des retards fixes légèrement plus important que ceux obtenus par simulation ELDO.
En effet, les simulations ont été réalisées sur les schémas électriques du retard n'incluant pas les capacités de routage.
Le graphique 5.1.b montre les différents écarts entre les temps de propagation obtenus pour des valeurs de commande consécutives.

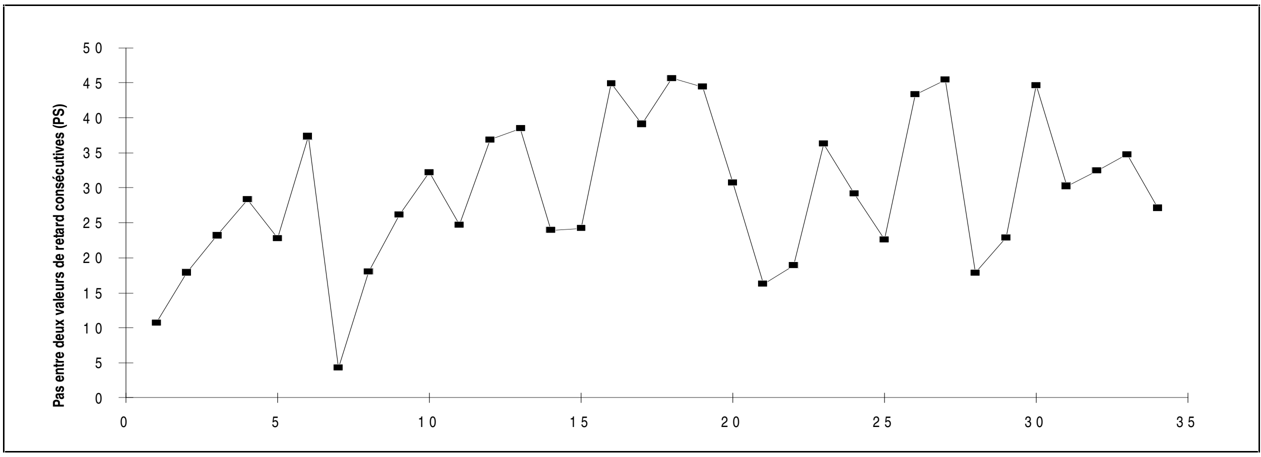


figure 5.1.b: Ecart entre les temps de propagation (ps)

L'augmentation du temps de propagation du retard fixe induit une augmentation de la valeur maximum d'incrémentation (45 ps au lieu de 25ps).

5.1.2 Vérification de la qualité de la mesure

Sur le testeur de circuits intégrés, on contrôlait parfaitement la durée d'application du mode autotest. Le dispositif utilisé ici (voir annexe 3), utilise le logiciel Labview et l'ordinateur PC pour lancer et arrêter le mode autotest. Pour réaliser le transfert d'information depuis le PC à la carte support, le PC effectue des interruptions. Ainsi, la durée d'application du mode autotest n'est plus parfaitement contrôlée. Afin de vérifier que l'erreur induite peut être considérée comme négligeable, le mode autotest a été lancé plusieurs fois, pendant la même durée théorique et avec la même valeur de commande appliquée aux retards.
La différence du nombre de cycles enregistré par le compteur 32 bits est de l'ordre de 1 ms sur une durée de 160 ms. L'erreur commise est donc inférieure à 0,7 % ce qui est tout à fait acceptable.
Si on reprend le schéma électrique du chemin impliqué dans la génération des fronts montants de l'horloge TRIGGER, on constate que le temps de propagation depuis le front montant de l'horloge d'entrée CKTX jusqu'au front montant de l'horloge de sortie TRIGGER est égale à la somme d'un temps constant et du temps de propagation du retard zéro.
→ Calcul réalisé à partir de la caractérisation du retard linéaire
En appliquant la commande 1 au retard zéro, le temps de propagation du retard zéro doit être de $\Delta(1)$ = 246,15 ps. Le temps de propagation du

front de l'horloge de transmission, Tpd1, doit être alors : Tpd1 = Cte + Δ(1) = Cte + 246,15 ps.
En appliquant la commande 6 au retard zéro, son temps de propagation doit être de
Δ(6) = 349,05 ps. Le temps de propagation, Tpd6, doit être alors :

$$Tpd6 = Cte + \Delta(6) = Cte + 349{,}05ps.$$

On doit donc mesurer : Tpd6 - Tpd1 = Δ(6) - Δ(1) = **102,9 ps**

$\rightarrow$ Mesure réalisée à l'oscilloscope
On enregistre la trace du front montant de TRIGGER pour la commande 1, puis on mesure le déphasage avec la trace obtenue pour la commande 6.
le temps mesuré est de Tpd6 - Tpd1 = **115 ps**

Un second essai a été réalisé avec les commandes 12 et 1 :
Calcul : Tpd12 - Tpd1 = Δ(12) - Δ(1) = 467,02 - 246,15 = **220 ps**
Mesure : Tpd12 - Tpd1 = **234 ps**
L'erreur entre le calcul et la mesure est dans les deux cas inférieur à **14 ps.**

L'impression écran de la figure 5.1.c montre la mesure des 234 ps entre les deux fronts montants de TRIGGER, l'un pour la commande 1 appliquée au retard 0, l'autre pour la commande 12.

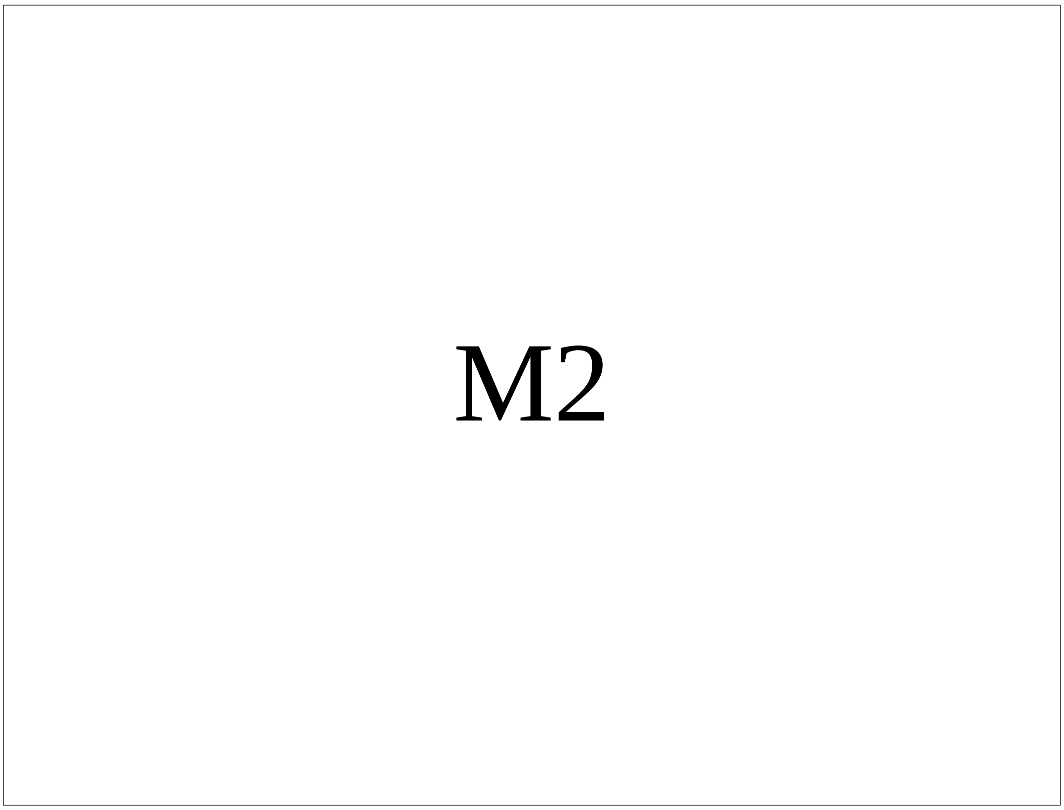


Figure 5.1.c : Mesure du temps séparants les deux fronts de l'horloge TRIGGER

5.1.3 Conclusion

Le temps de propagation du retard linéaire varie entre 246 ps et 1242 ps , ce qui correspond à une horloge de transmission pouvant varier entre 20 Mhz et 101 Mhz et un débit pouvant théoriquement varier entre 805 Mbit/s et 4 Gbit/s. L'incrément moyen entre deux valeurs de retards est de 27,6 ps.

La variation du retard variable est monotone sur toute sa plage.

L'incrément maximum atteint par le retard variable est supérieur à celui obtenu par simulation (45 ps au lieu de 25 ps). Ceci provient d'une sous-évaluation du temps de propagation du retard fixe dans la simulation, induit par l'absence des capacités de routage. Cependant, cet incrément, ramené à la durée des bits sérialisés, reste acceptable. Le graphe ci-dessous présente l'erreur relative, commise sur la durée du bit, due à cet incrément :

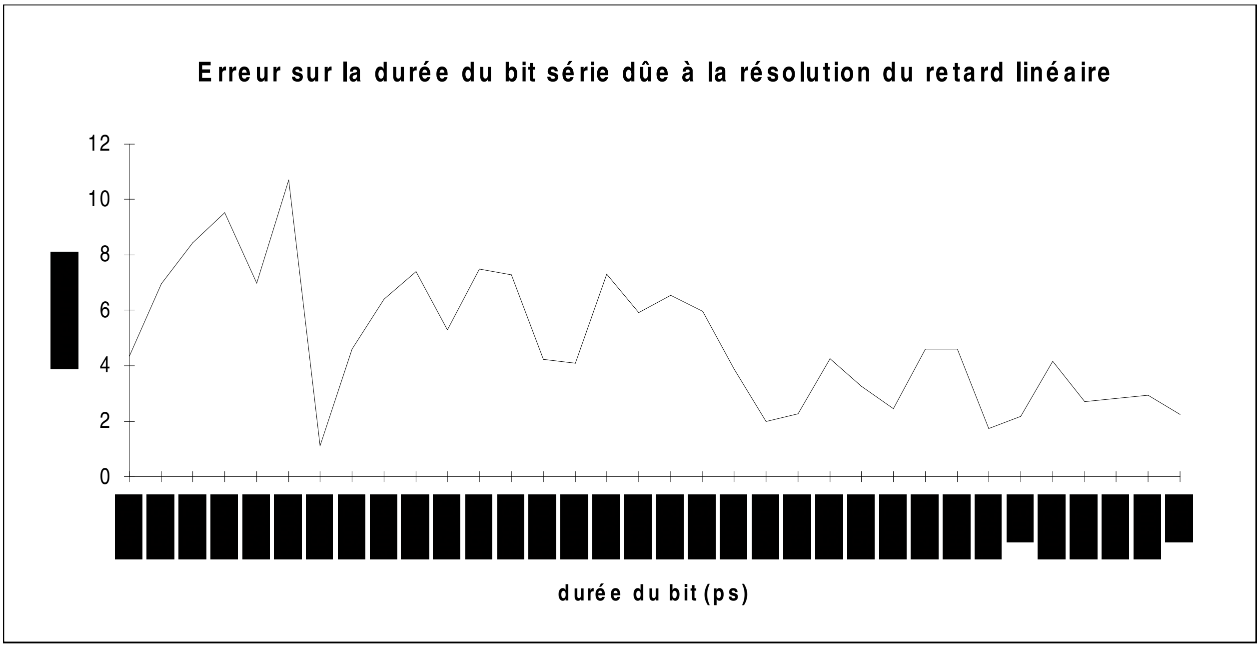


Figure 5.1.d: Erreur commise sur la durée du bit série due à la résolution du retard

Ainsi, l'incrément maximum relatif reste inférieur à 12% de la durée des bits séries, ce qui reste parfaitement acceptable.

5.2 Qualité de la DLL

5.2.1 Introduction

Nous avons vu, dans le paragraphe précédent, que la fréquence de l'horloge de transmission pouvait, théoriquement, varier entre 20 Mhz et 101 Mhz. On vérifie maintenant que la nouvelle DLL BiCMOS arrive à se calibrer sur toute cette plage de fréquences.
Pour étudier les performances de la DLL, on dispose de trois éléments :

- La sortie TRIGGER est la recopie de l'horloge d'échantillonnage CKs[0]. Ainsi, la durée de son état haut et bas est fonction du temps de propagation des vingt retards de la DLL.
Lorsque la fréquence de l'horloge de transmission n'est plus dans la plage des fréquences supportées, le rapport cyclique de l'horloge TRIGGER n'est plus de 50%.
- La sortie série SDOUT/SDOUTB permet de vérifier que les vingts horloges d'échantillonnage sont correctement générées.

- Après calibration, la lecture des valeurs des 20 compteurs de commandes des retards permet de déterminer sur quels points de la courbe de caractérisation du retard linéaire le système d'asservissement de la DLL s'est arrêté.

5.2.2 Plage de fonctionnement de la DLL

On utilise le générateur d'horloge externe Lecroy. On fait varier la fréquence de l'horloge de transmission depuis 20 Mhz jusqu'à 101 Mhz et on observe la période et le rapport cyclique de l'horloge TRIGGER.
La DLL reste calibrée sur l'ensemble de la plage : 20 Mhz à 100 Mhz.
On n'atteint pas tout à fait la fréquence maximum de 101 Mhz. La fréquence de 100 Mhz correspond à un temps de propagation de 250 ps, alors que la limite haute extraite de la caractérisation était de 247,5 ps, soit 2,5 ps d'erreur; ce qui est tout à fait acceptable.
Lorsque l'on fait dériver la fréquence de l'horloge de transmission, on observe instantanément la période de l'horloge TRIGGER s'ajuster sur la nouvelle période et ce sans jamais décrocher. La DLL suit bien une dérive de la période de l'horloge de transmission.

5.2.3 Génération des horloges d'échantillonnage

Afin de vérifier que les horloges d'échantillonnage de la DLL sont encore correctement générées à 100 Mhz (débit égal à 4 Gbit/s), on observe la qualité de la sortie série pour la transmission des mots "00110011...0011" puis "0110011...00110" ... etc. En effet, on constatera au paragraphe suivant que la limite sur la sortie série se situe au voisinage de 2.8 Gbit/s sur la sortie série. Aussi, en décalant le mot parallèle "0011..", on génère un débit moitié en utilisant la totalité des horloges d'échantillonnage.

Le signal sur la sortie série est de bonne qualité et permet de confirmer le bon fonctionnement interne de l'ensemble du circuit FILING pour une fréquence de transmission allant jusqu'à 100 Mhz.

5.2.4 Vérification du système d'asservissement

On laisse la DLL se calibrer sur la fréquence de l'horloge de transmission, puis on vient lire la valeur des compteurs des commandes des vingt retards. La manipulation a été réalisé pour plusieurs fréquences de transmission (65 Mhz, 80 Mhz et 100 Mhz).

Dans les trois mesures effectuées, les valeurs des commandes appliquées correspondent bien à celles prévues par la caractérisation du retard linéaire pour générer des temps de propagation encadrant la valeur idéale de la fréquence de transmission choisie.

L'ordre d'incrémentation des vingt retards correspond à l'ordre décidé lors de la conception du circuit (voir chapitre 3).

5.3 Qualité du signal série

Après avoir vérifié le bon fonctionnement de la conversion parallèle/série, on mesure le débit maximum en ce basant sur les critères de qualité définis par la norme Fibre Channel.

5.3.1 Validation de la conversion parallèle/série

L’analyse de la forme d’onde obtenue sur oscilloscope, pour la conversion de différentes séquences de mots parallèles stockées dans le banc de registres (générant des transitions sur l'ensemble des quarante bits de la donnée parallèle), a permis de valider la fonctionnalité de l'émetteur BiCMOS.

Les figures 5.3.a et 5.3.b montrent un exemple de conversion, où la séquence transmise est constituée de quatre mots parallèle (mot0[39:0]= "111...11", mot1[39:0]= "111...000", mot2[39:0]= "01010...101", mot3[39:0]="000...000"), à la fréquence de 65 Mhz (2.6 Gbits/s).

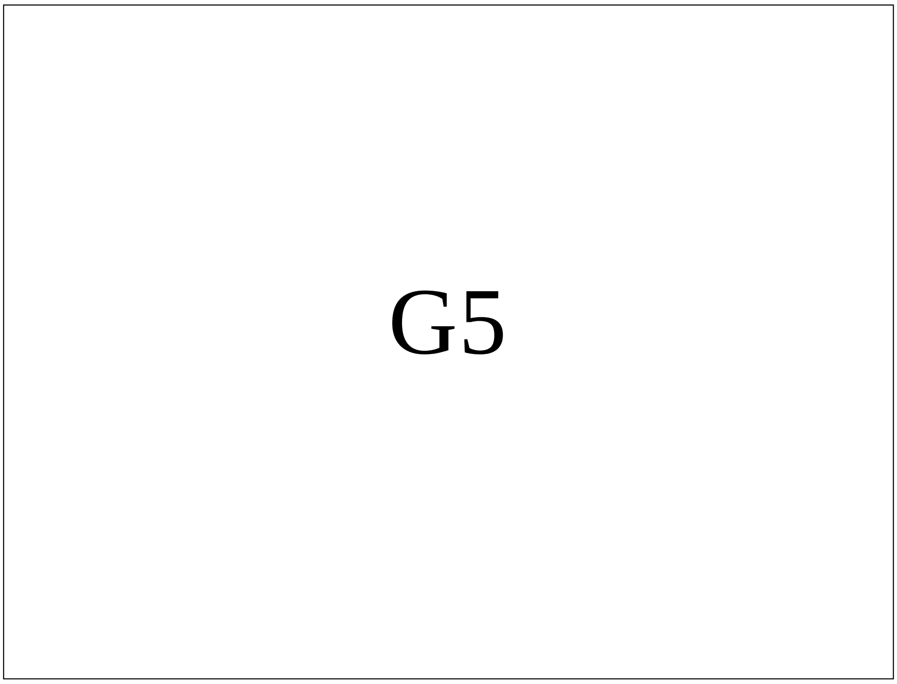


Figure 5.3.a : Exemple de conversion parallèle/série à 2.6 Gbit/s

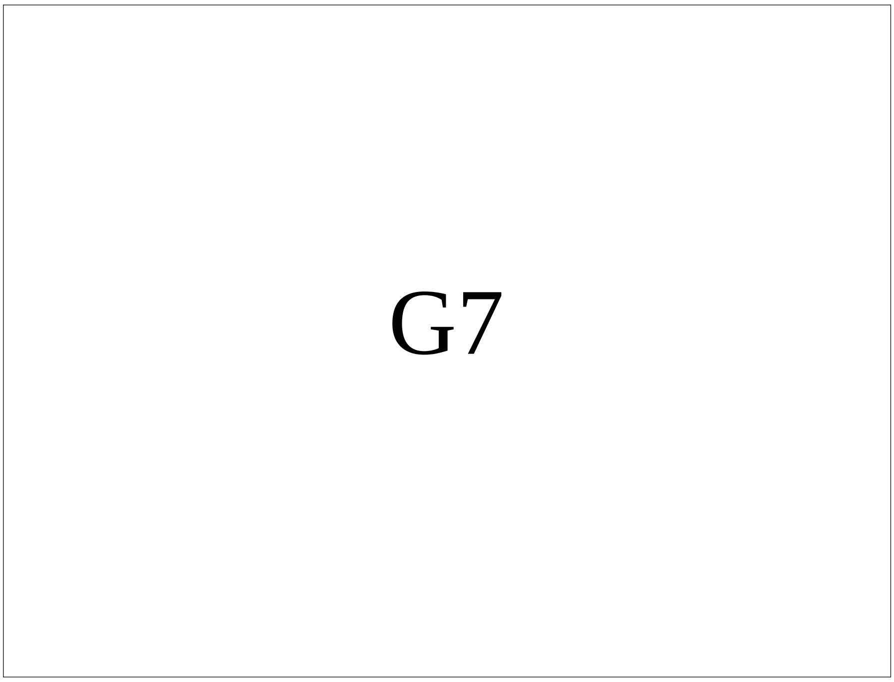


Figure 5.3.b : Transition sur chacun des 40 bits transmis

5.3.2 Mesure de l’amplitude

L’amplitude mesurée à l'oscilloscope est de **402 mVolt**. Ce résultat est très satisfaisant car le collecteur du transistor bipolaire, de l'étage différentiel de sortie, voit en parallèle deux résistances de 50 Ω; l'une étant générée par la rangée de transistors PMOS contrôlée par le bloc ZC, l'autre étant l'impédance d'adaptation 50 Ω de l'entrée de l'oscilloscope. Δ Vidéal = 16 mA x 25 Ω = 400 mVolt.

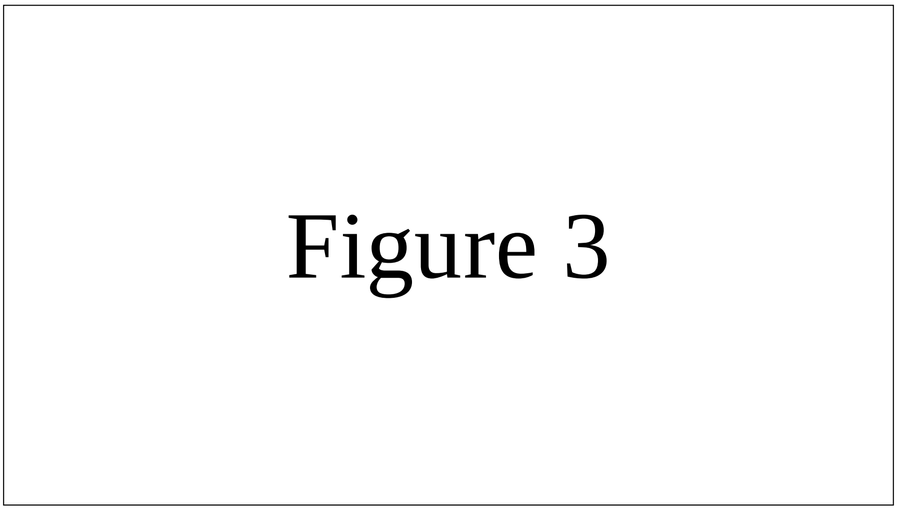


Figure 5.3.c : Amplitude du signal série égal à 402 mVolt (débit 2.6 Gbit/s)

A un débit de 2.4 Gbit/s, les temps de monté, mesurés entre 10% et 90% de l'amplitude maximum atteinte, sont de 257,6 ps. Les temps de descente sont de 150 ps. Ainsi, on note une assez forte dissymétrie entre les fronts montant de descendant du signal série. On peut l'imputer aux émetteurs suiveurs utilisés dans les amplificateurs de sortie (voir chapitre 3).

5.3.3 Débit maximum accessible

Comme on peut le constater dans la figure précédente (figure 5.3.c), où l'oscilloscope est synchronisé sur la période mot, le *jitter* sur les fronts du signal série est inférieur à 80 ps et devrait permettre de respecter la norme Fibre Channel (*jitter* inférieur à 30% de la durée du bit série) pour des débits allant au delà de 3 Gbit/s.

Cependant, le *jitter* mesuré sur le diagramme de l'oeil (figure 5.3.d), où l'on supperpose l'ensemble des 40 bits de la donnée parallèle, est déjà de 107 ps à un débit de transmission de 2.5 Gbit/s.

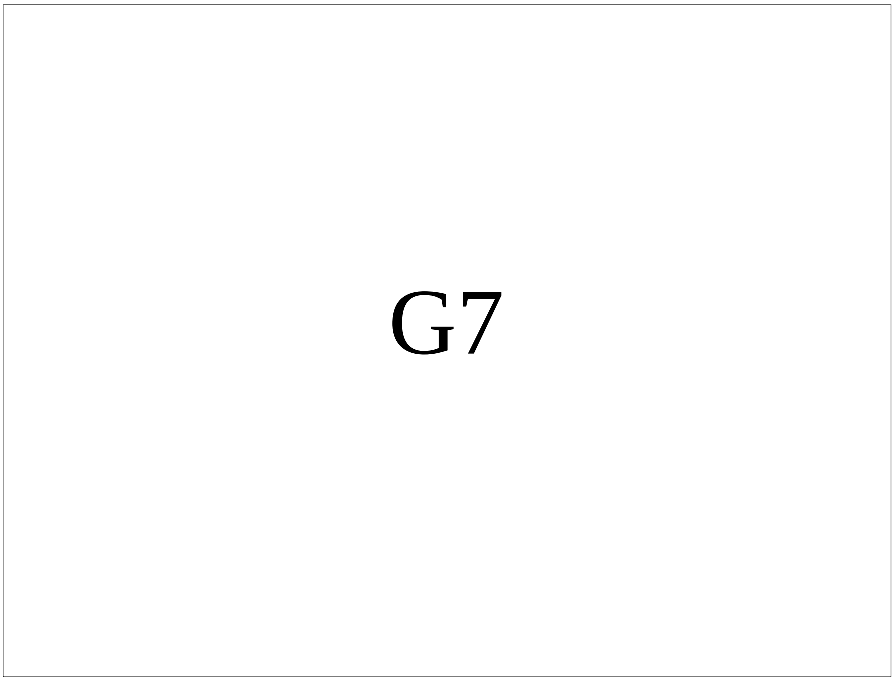


Figure 5.3.d : Diagramme de l'oeil à 2.5 Gbit/s

Un phénomène nouveau limite donc la qualité de transmission de l'émetteur BiCMOS. En effet, les 300 ps de *jitter* mesurés, pour la macro-cellule CMOS HSLink, étaient principalement dus à l'imprécision des fronts du signal série. Ici, c'est l'inégalité sur la durée des différents bits série qui limite le débit maximum de transmission.

La figure 5.3.e montre la durée inégale des différents bits de la donnée parallèle pour un débit de 2.8 Gbit/s :

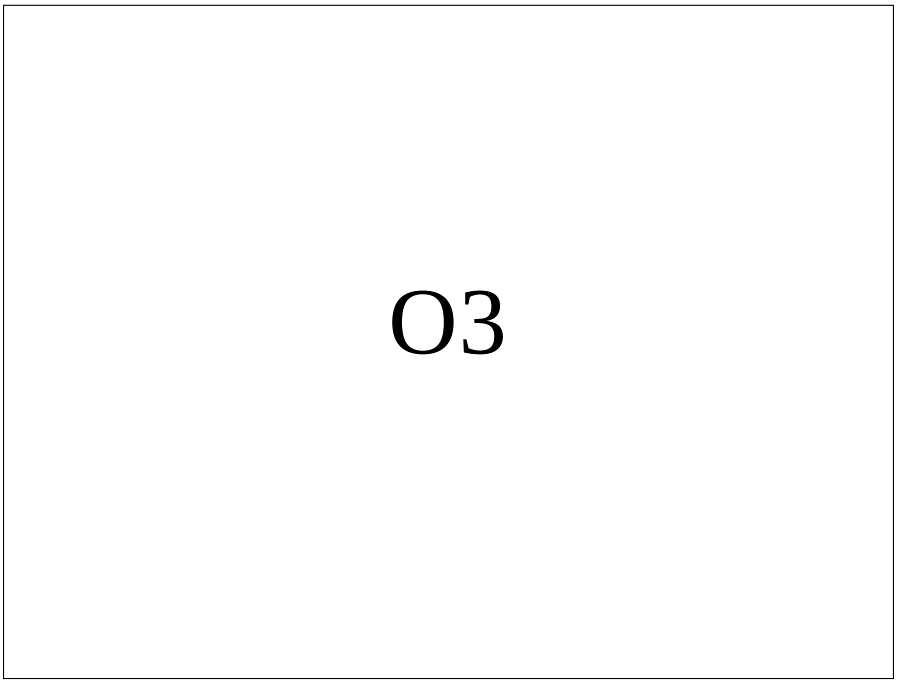


Figure 5.3.e : Inégalité entre la durée des différents bits à 2.8 Gbit/s

Ainsi, dés que l'on atteint le débit de 3 Gbit/s, le plus petit bit de la donnée parallèle disparaît.
C'est donc la recherche des causes de cette disparité qui s'avère désormais importante.

5.3.4 Analyse de la durée des différents bits série

Pour tenter de comprendre les causes de la disparité entre les différentes durées des bits transmis, on ce place à faible débit (1.6 Gbit/s). A un tel débit, le signal série à le temps d'atteindre sa valeur nominal avant de rebasculer.

On donne dans le tableau ci-dessous l'ensemble des durées mesurées, pour les 40 bits, afin de montrer le type de mesures réalisées.

Mesure du bit:	Durée du bit (ps) :	Erreur par rapport à la valeur idéale (625 ps)		Erreur relative (%)
bit0	670	45	=>	7,2
bit1	656	31	=>	4,96
bit2	624	-1	=>	-0,16
bit3	806	181	=>	28,96
bit4	518	-107	=>	-17,1
bit5	674	49	=>	7,84
bit6	572	-53	=>	-8,48
bit7	746	121	=>	19,36
bit8	616	-9	=>	-1,44
bit9	684	59	=>	9,44
bit10	632	7	=>	1,12
bit11	692	67	=>	10,72
bit12	620	-5	=>	-0,8
bit13	668	43	=>	6,88
bit14	688	63	=>	10,08
bit15	650	25	=>	4
bit16	634	9	=>	1,44
bit17	734	109	=>	17,44
bit18	632	7	=>	1,12
bit19	646	21	=>	3,36
bit20	600	-25	=>	-4
bit21	640	15	=>	2,4
bit22	616	-9	=>	-1,44
bit23	624	-1	=>	-0,16
bit24	616	-9	=>	-1,44
bit25	670	45	=>	7,2
bit26	582	-43	=>	-6,88
bit27	650	25	=>	4
bit28	572	-53	=>	-8,48
bit29	620	-5	=>	-0,8
bit30	676	51	=>	8,16
bit31	650	25	=>	4
bit32	540	-85	=>	-13,6
bit33	616	-9	=>	-1,44
bit34	646	21	=>	3,36
bit35	614	-11	=>	-1,76
bit36	612	-13	=>	-2,08
bit37	668	43	=>	6,88
bit38	568	-57	=>	-9,12
bit39	654	29	=>	4,64

Les écarts maximaux sont de :

+ 183 ps	pour le bit	3
+ 121 ps	"	7
+109 ps	"	17
- 107 ps	"	4

Dans la figure 5.3.f, on constate que la durée du bit est fonction:
- Du temps de propagation du retard i+1 (modulo 20) : $Tret_{i+1}$.
- Du temps de propagation de la bascule d'échantillonnage : Tbi.
- Du temps de propagation dans l'arbre de XORs : Txi.

Le bit i apparaît sur la sortie série après le front montant (ou descendant) de l'horloge d'échantillonnage $CK_S[i]$ et du temps de propagation [Tb_i + Tx_i] + Tamp (Tamp = temps de propagation de l'amplificateur de sortie).
Il disparaît à l'apparition du bit i+1; c'est à dire, après le front montant (ou descendant) de l'horloge CKs[i+1] et du temps de propagation [Tb_{i+1} + Tx_{i+1}] + Tamp. Ainsi, la durée du bit i est égale à :

$$\forall\, i \in [0,39] \qquad Tpd_i = [\, Tb_{i+1} + Tx_{i+1} \,] - [\, Tb_i + Tx_i \,] + Tret_{i+1}$$

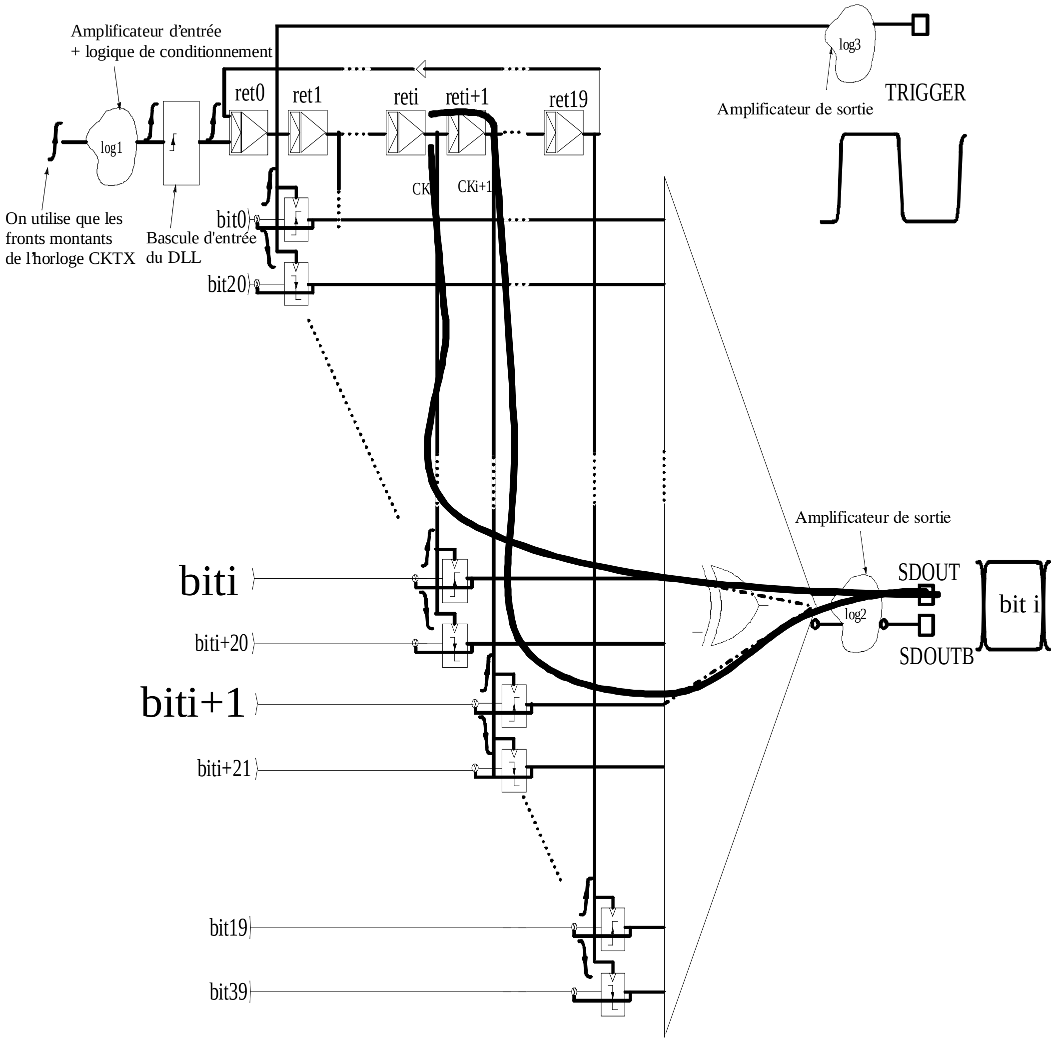


Figure 5.3.f : Chemin intervenant dans la durée du bit i

Afin de déterminer la cause des écarts observés, on tente de réaliser des mesures permettants d'éliminer la dépendance par rapport à une partie du circuit.
Dans un premier temps, on cherche à ce rendre indépendant du temps de propagation du retard linéaire afin de déterminer la responsabilité du chemin dans l'arbre de XORs et des bascules d'échantillonnage.
Dans un second temps, on réalise des mesures ne dépendant plus que des temps de propagation des retards linéaires.

- Mesure de la responsabilité de l'arbre de ou-exclusifs et des bascules d'échantillonnage

On a vu précédemment que la durée du bit i et du bit i+20 dépendaient du même retard linéaire ret_{i+1}. En supposant que le temps de

traversée des fronts montant et descendant dans le retard sont équivalents (ce qui semble vérifié par le bon rapport cyclique de l'horloge TRIGGER), l'écart entre la durée du bit i et i+20 est donc égale à : $\forall$ i $\in$ [0,19]
$\Delta i = Tpd_{i+20} - Tpd_i = [\, Tb_{i+21} + Tx_{i+21} \,] - [\, Tb_{i+20} + Tx_{i+20} \,] - [\, Tb_{i+1} + Tx_{i+1} \,] + [\, Tb_i + Tx_i \,]$.

Si les temps de propagation dans les différents chemins de l'arbre de ou-exclusifs et les temps de propagation dans les bascules front montant et descendant sont pratiquement identiques, on devrait trouver : $\Delta i \cong 0$ ps.

Δ19	bit39 - bit19	8	Δ9	bit29 - bit9	-64
Δ18	bit38 - bit18	-64	Δ8	bit28 - bit8	-44
Δ17	bit37 - bit17	-66	Δ7	bit27 - bit7	-96
Δ16	bit36 - bit16	-22	Δ6	bit26 - bit6	10
Δ15	bit35 - bit15	-36	Δ5	bit25 - bit5	-4
Δ14	bit34 - bit14	-42	Δ4	bit24 - bit4	98
Δ13	bit33 - bit13	-52	Δ3	bit23 - bit3	-182
Δ12	bit32 - bit12	-80	Δ2	bit22 - bit2	-8
Δ11	bit31 - bit11	-42	Δ1	bit21 - bit1	-16
Δ10	bit30 - bit10	44	Δ0	bit20 - bit0	-70

Table 5.3.g : Ecart entre la durée mesurée du bit i et i+20

Les résultats obtenus tendent a prouver que les temps de propagation entre les différents chemins depuis la bascule d'échantillonnage jusqu'à la sortie sont différents.

- Mesure de la responsabilité des retards variables

On mesure maintenant la durée des bits pour des fréquences de transmission de 60 et 65 Mhz et pour la même forme d'onde transmise. Si la durée inégale des bits est uniquement due à des différences de temps de propagation dans l'arbre de ou-exclusifs et des bascules d'échantillonnage, ce seront toujours les mêmes bits qui seront soit plus grand, soit plus petit. Les écarts maximum sont résumés dans le tableau ci-dessous :

A 60 MHz	A 65 Mhz

Ecart maximum par rapport à la durée idéale (416 ps)	numéro du bit	Ecart maximum par rapport à la durée idéale (384,6 ps)	numéro du bit
72 ps	bit 6	- 80,6 ps	bit 32
84 ps	bit 29	86,4 ps	bit 29
- 75 ps	bit 21	94,6 ps	bit 7

Les écarts maximum ne sont donc pas situés sur les mêmes bits ce qui tend à prouver que les temps de propagation des retards variable sont également impliqués dans ce phénomène.

Ainsi, il est impossible de conclure quand aux causes de ces inégalités.

5.3.5 Mise en mode oscillateur

Une autre expérience a consistée à rendre "idéale" la génération des vingt horloges d'échantillonnage. Par le même procédé que la caractérisation du retard linéaire, on force l'entrée du multiplexeur du retard 0 sur l'entrée $\overline{\mathrm{CK19}}$, ce qui transforme la DLL en oscillateur en anneau. On bloque l'ensemble des commandes des vingt retards à la même valeur.

On mesure alors la durée des 40 bits. Dans ce mode de fonctionnement, on ne peut transmettre qu'une seule donnée parallèle, celle placée dans la bascule d'entrée de la macro-cellule (la possibilité de sérialisé des données en mode oscillateur n'avait pas été envisagée lors de la conception du circuit FILING). La méthode détaillée précédemment et consistant à encadrer le mot "1010.." par deux mots (l'un "tout à zéro", l'autre "tout à un") ne peut plus être appliquée. Ainsi, il est impossible de déterminer quel est le bit que l'on observe. Après la mesure de 40 bits, on vérifie bien que l'on retrouve des durées équivalentes (on retombe sur la même durée pour le bit i, i+1, i+2 ...etc.).

Mesure du bit :	SDOUT& SDOUTB	Durée du bit (ps) :	Erreur par rapport à la valeur idéale (384,6 ps)		Erreur relative
biti	1	365	-19,6153846	=>	-2,55
bit i+1	0	379	-5,61538462	=>	-0,73
bit i+2	1	413	28,38461538	=>	3,69
bit i+3	0	398	13,38461538	=>	1,74
bit i+4	1	399	14,38461538	=>	1,87
bit i+5	0	343	-41,6153846	=>	-5,41
bit i+6	1	354	-30,6153846	=>	-3,98
bit i+7	0	383	-1,61538462	=>	-0,21
bit i+8	1	405	20,38461538	=>	2,65

bit i+9	0	407	22,38461538	=>	2,91
bit i+10	1	349	-35,6153846	=>	-4,63
bit i+11	0	348	-36,6153846	=>	-4,76
bit i+12	1	365	-19,6153846	=>	-2,55
bit i+13	0	401	16,38461538	=>	2,13
bit i+14	1	429	44,38461538	=>	5,77
bit i+15	0	341	-43,6153846	=>	-5,67
bit i+16	1	305	-79,6153846	=>	-10,35
bit i+17	0	397	12,38461538	=>	1,61
bit i+18	1	415	30,38461538	=>	3,95
bit i+19	0	401	16,38461538	=>	2,13
bit i+20	1	348	-36,6153846	=>	-4,76
bit i+21	0	361	-23,6153846	=>	-3,07
bit i+22	1	471	86,38461538	=>	11,23
bit i+23	0	454	69,38461538	=>	9,02
bit i+24	1	354	-30,6153846	=>	-3,98
bit i+25	0	386	1,384615385	=>	0,18
bit i+26	1	429	44,38461538	=>	5,77
bit i+27	0	424	39,38461538	=>	5,12
bit i+28	1	383	-1,61538462	=>	-0,21
bit i+29	0	356	-28,6153846	=>	-3,72
bit i+30	1	405	20,38461538	=>	2,65
bit i+31	0	432	47,38461538	=>	6,16
bit i+32	1	409	24,38461538	=>	3,17
bit i+33	0	328	-56,6153846	=>	-7,36
bit i+34	1	387	2,384615385	=>	0,31
bit i+35	0	417	32,38461538	=>	4,21
bit i+36	1	421	36,38461538	=>	4,73
bit i+37	0	412	27,38461538	=>	3,56
bit i+38	1	375	-9,61538462	=>	-1,25
bit i+39	0	375	-9,61538462	=>	-1,25

Les écarts maximaux sont de :

+86 ps	pour le bit	i +31
-79 ps	"	i+ 29
+69 ps	"	i+ 27
+47 ps	"	i + 9

Table 5.7.j : Ecarts maximaux par rapport à la durée idéale

Les écarts restent important et ne permettent pas de conclure.

5.4 Conclusions

Le nouveau principe de rebouclage introduit dans la DLL BiCMOS, ainsi que le bon fonctionnement des circuits critiques CML introduits (retard variable, comparateur de phase, etc.) ont put être validés par le circuit FILING.

Le transfert en technologie BiCMOS a permis de réduire considérablement le *jitter* sur les fronts du signal série (80 ps au lieu de 250 ps).

L'émetteur du circuit FILING doit permettre d'atteindre des débits voisins de 2.5 Gbits/s, sans erreurs de transmission. Ce résultat est pourtant décevant si l'on considère que la plage de fonctionnement de la DLL pouvait permettre d'accéder à des débits allant au delà de 3 Gbits/s.

Cette limitation est causée par la durée différente des bits séries, dont la cause n'a put être mise en évidence par les mesures réalisées sur le circuit. Les simulations sur schéma n'ayant pas fait apparaître ce phénomène, il faudra lors de la réalisation de l'ensemble de la liaison série être extrêmement attentif aux résultats des simulations sur netlist extraites des dessins des masques (faisant intervenir l'action des capacités de routage). On peut regretter, à posteriori, de n'avoir pas sortie du circuit différentes horloges d'échantillonnage consécutives, nous permettant de vérifier leurs déphasages.

Chapitre 6

Conclusion

Les concepts de sérialisation développés pour la macro-cellule HS-Link permettent d'atteindre, en technologie 0,5 µm CMOS, un débit maximal de
1 Giga bit/s. A technologie égale, nous venons de démontrer que l'on pouvait repousser ces limites en réalisant les parties critiques de la macro-cellule en circuiterie CML. La qualité du signal série, du nouvel émetteur BiCMOS, permet d'atteindre un débit de transmission de 2.5 Gbit/s.

Lors des deux premiers chapitres, nous avons analysé les différentes sources du *jitter* apparaissant sur le signal série de l'émetteur HS-Link. Ce jitter est égal à 300 ps en technologie CMOS 0,5 µm. Il faut donc transférer les circuits sensibles de l'émetteur CMOS en circuiterie CML pour réduire ce *jitter*.

Les concepts de sérialisation d'HS-Link, développés initialement pour la technologie CMOS, restent particulièrement intéressants pour la technologie BiCMOS. En effet, l'utilisation d'une DLL pour la génération des horloges d'échantillonnage permet de conserver près de 75% des transistors en technologie CMOS (taux d'intégration plus élevé et plus faible consommation). Seuls les circuits sensibles (retards variables, comparateur de phases, ...), soit 25% des transistors, ont dûs être transférés en circuiterie CML.

En réduisant de moitié le nombre de retards variable dans la nouvelle DLL BiCMOS, le nouveau concept de rebouclage, présenté dans le chapitre 3, a permis de limiter la consommation du générateur d'horloges à 150 mWatt. Ce nouveau concept n'est cependant utilisable qu'en circuiterie CML puisqu'il repose sur la création d'une inversion logique de temps de propagation nul et d'une symétrie pour le temps de propagation des fronts montant et descendant du signal dans la chaîne de retards.

L'utilisation de deux courants de fonctionnement pour les portes CML (l'un fixé à 85 µA pour les circuits fonctionnant à moins de 400 Mhz, le second à 280 µA pour les circuits fonctionnant jusqu'à 1.5 Ghz) a également permis de limiter la consommation de l'ensemble du convertisseur parallèle/série à 180 mWatt.
Ainsi, la surface totale de l'émetteur BiCMOS a put être ramenée à 4 mm2, pour une consommation totale de 400 mWatts.

La qualité de la DLL repose entièrement sur la résolution de son retard variable. Pour couvrir une large plage de débits, compris entre 1.5 et 3 Gbits/s, sans trop augmenter le nombre de gammes du retard, le pas d'incrémentation a été fixé à 25 ps. Les concepts déjà développés dans le retard du circuit GIBSI ont permis d'atteindre une telle résolution. Nous avons élargi sa plage de fonctionnement et obtenu une caractéristique monotone.

Les résultats des mesures, présentés dans le chapitre 5, obtenus sur le circuit FILING revenu de fabrication, permettent de valider les nouveaux concepts mis en place dans l'émetteur BiCMOS. En effet, la DLL BiCMOS reste calibrée sur l'ensemble de sa plage de fonctionnement comprise entre 20 et 100 Mhz.

Le *jitter* sur les fronts de transition du signal série a pu être ramené de 300 ps en CMOS à 107 ps. La qualité du signal série est dès lors conforme aux spécifications de la norme Fibre Chanel pour des débits allant jusqu'à 2.5 Gbits/s.

Un phénomène nouveau limitant le débit de transmission au voisinage de 2.5 Gbit/s, est apparut dans le nouvel émetteur BiCMOS. Le *jitter* sur un front particulier du signal série correspondant à un bit particulier du train de bit est de 80ps, ce qui permet en principe d'atteindre un débit de transmission de 3 Gbits/s. Cependant, le *jitter* "cumulé" sur tous les fronts de tous les bits du signal série atteint lui 107ps. C'est donc la durée inégale des différents bits transmis qui limite la fréquence maximale de transmission. L'ensemble des mesures réalisées sur le circuit de validation n'a pu mettre en évidence la partie du circuit responsable de ce phénomène.
Lors de ce projet, nous ne disposions pas d'outil d'extraction des capacités après placement-routage. Ainsi, l'ensemble des simulations électriques ont été faites sur les schémas logiques des circuits. Suivant la fréquence de fonctionnement et la forme d'onde transmise, les expériences réalisées ont montrées que les écarts maximum pouvaient affecter différents bits de la donnée série. Ainsi, on peut supposer que ce phénomène est lié à des effets de diaphonie (interactions capacitives entre deux signaux) et des

simulations incluant les capacités de routage devraient permettre de comprendre l'origine du phénomène.
Cependant l'ensemble des débits normalisés, présentés au chapitre 1, allant jusqu'à 2.5 Gbits/s sont accessibles par l'utilisation des nouveaux circuits CML développés dans cette thèse, en technologie BiCMOS 0,5 µm. Par exemple, l'émetteur BiCMOS répondant au protocole Fibre Channel, au débit normalisé de 2.125 Gbits/s possédera une surface de 2 mm^2 pour une consommation de 250 mWatt.

Bibliographie

BICMOS Technologie and applications
Kluwer Academic Publishers
Antonio R.Alvarez

Bipolar Semiconductor Device
Library of Congress Cataloging-in-publication Data
David J.Roulston

Un générateur paramétrable de multiplieur de fréquence utilisant des techniques numériques
Michel Combes, thèse de doctorat de l'université Pierre et Marie Cuire, 1994

HS Link : Delay Locked Loop noise immunity
OMI/HIC, rapport interne de juin 1994
R.Marbot, A.Cofler

BULLIT Data Sheet
(version alimentée à 3.3V) Rev 2.0 mai 1995
R.Marbot, J.C.Lebihan, A.Cofler, R.Nezamzadeh-Moosavi

GIBSI Data Sheet
document interne BULL S.A Octobre 1991
A.Cofler, J.C.Lebihan, R.Nezamzadeh-Moosavi

Arbre de portes OU-exclusif et multiplieur de fréquence l'incorporant.
Brevet n° 93 400644.6 déposé le 17 décembre 1993 au nom de BULL S.A.
R.Marbot, J.C Lebihan, A.Cofler, R.Nezamzadeh-Moosavi

Etude d'un élément de retard variable en technologie BiCMOS
document interne BULL S.A Juin 1991
C.MILLET

Silicon Bipolar Integrated Circuits for Multigigabit-per-Second Lightwave Communications
IEEE JOURNAL OF SOLID-STATE CIRCUITS
Vol. 8. N0 9. SEPTEMBER 1990
Hans-Martin.Rein

A Two-Chip 1.5-GBd Serial Link Interface
IEEE JOURNAL OF SOLID-STATE CIRCUITS
Vol. 27. N0 12. DECEMBER 1992
Richard C.Walker, al.

Procédé et dispositif d'adaptation d'impédance pour un émetteur et/ou un récepteur, circuit intégré et système de transmission les mettant en oeuvre.
Brevet déposé le 17 Août 1993 au nom de BULL S.A.
R.Marbot, J.C.Lebihan, R. Nezamzadeh-Moosavi

Compte-rendu de relevés effectués sur le circuit GIBSI
document interne BULL S.A   Juin 1992
M.Bergier, A.Cofler, R.Nezamzadeh-Moosavi

Lignes de transmission
Propagation d'ondes électromagnétiques
Collection Techniques de l'ingénieur 1995
R.Marbot

New Full-Voltage-Swing BiCMOS Buffers
IEEE JOURNAL OF SOLID-STATE CIRCUITS
Vol. 26. N0 2. FEBRUARY 1991
S.H.K Embali, A. Bellaouar, M.I. Elmasry, and R.A. Hadaway

Annexe

A.1 Montage sur circuit imprimé

Deux approches ont été retenues pour monter le circuit FILING sur circuit imprimé. La première approche consiste a utiliser un ruban (nommé plus souvent "araignée") permettant de relier directement les plots de la puce au circuit imprimé. Dans ce procédé assez ancien, nommé TAB (Tape.Automated.Bonding), on évite l'encapsulation dans un boîtier, ce qui diminue fortement le coût de fabrication.

Le bon comportement de l'approche TAB pour des fréquences aussi élevées était loin d'être assuré; aussi dans la seconde approche, on utilise un boîtier PBGA (Plastic.Ball.Grid.Array), 480 billes, déjà utilisé par la société BULL et spécialement conçu pour la transmission de signaux rapides.

Ce boîtier a effectivement été étudié pour l'encapsulation de plusieurs liaisons séries CMOS, fonctionnant à des débits allant jusqu'à 1 Gbit/s. Là encore, son comportement pour des signaux atteignant des débits supérieurs à 2 Gbit/s n'a jamais été étudié.

A.1.1 L’approche TAB

Le schéma ci-dessous permet de mieux comprendre le principe du montage avec TAB (Tape.Automated.Bonding) :

Les pistes (D) permettant de relier la puce au circuit imprimé sont collés sur un ruban (B) un peu similaire à un ruban de pellicule photo. Les ouvertures dans le ruban (A) permettrons de réaliser les soudures, d'une part des plots de la puce aux pistes, d'autre part des pistes au circuit imprimé. On remarque dans cette figure que le pas est de 127 µm pour se connecter au pas des plots sur la puce et de 500 µm pour le pas sur le circuit imprimé (E).

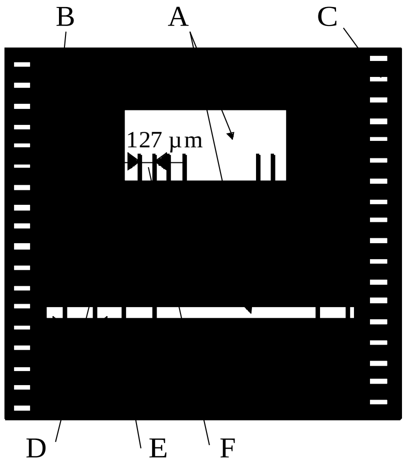


Figure A.1.a : Le ruban

La première étape du montage consiste a souder les pads de la puce au ruban (schéma 1 de la figure A.1.b). Une pâte est ensuite déposée sur l'ensemble des soudures pour les protéger de l'oxydation; on retire alors une partie du ruban (schéma 2). Après avoir fait les soudures sur la carte, on retire le reste du ruban (schéma 3).

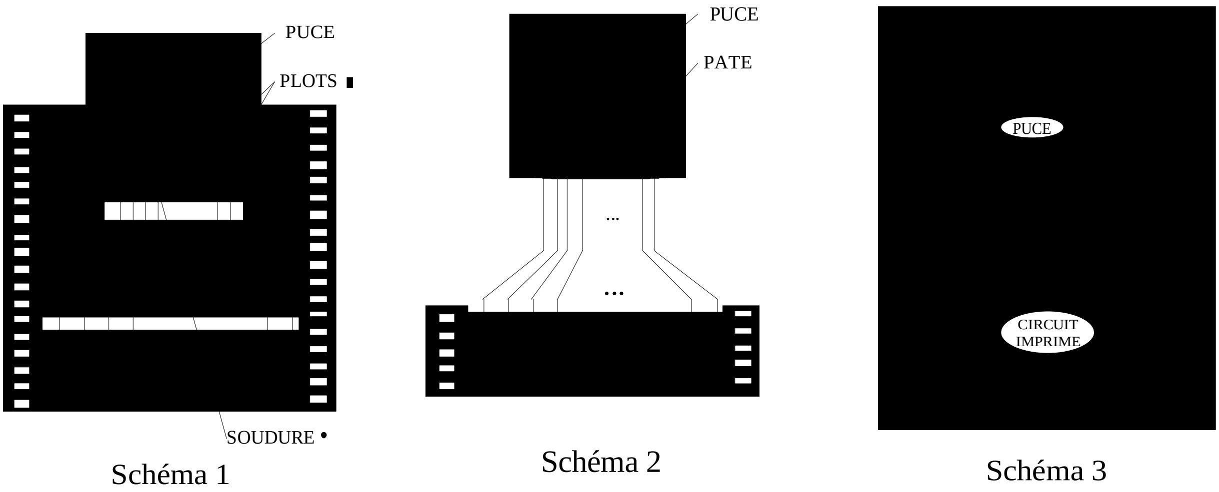


Figure A.1.b : Les étapes du montage

La dernière étape consiste à souder l'ensemble PUCE+TAB sur le circuit imprimé après s'être débarrassée de la partie plastique du ruban.
Les photos, ci-dessous, présente le circuit FILING à diverses étapes du montage sur circuit imprimé avec cette approche :

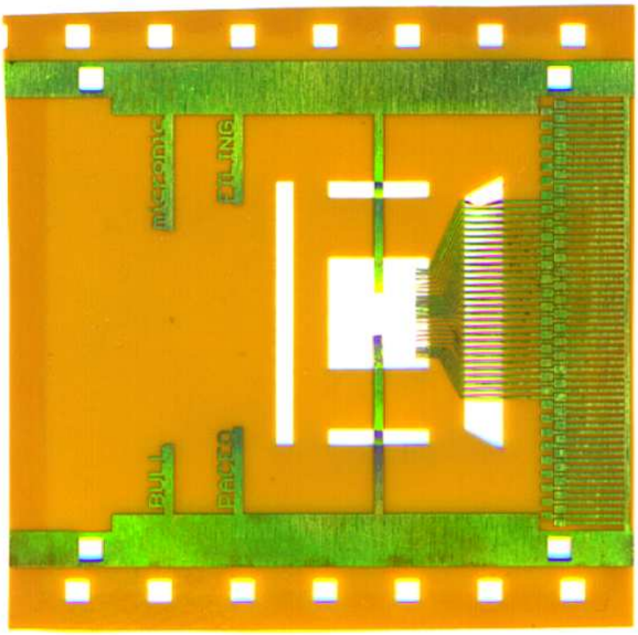


Figure A.1.c : Le Tab

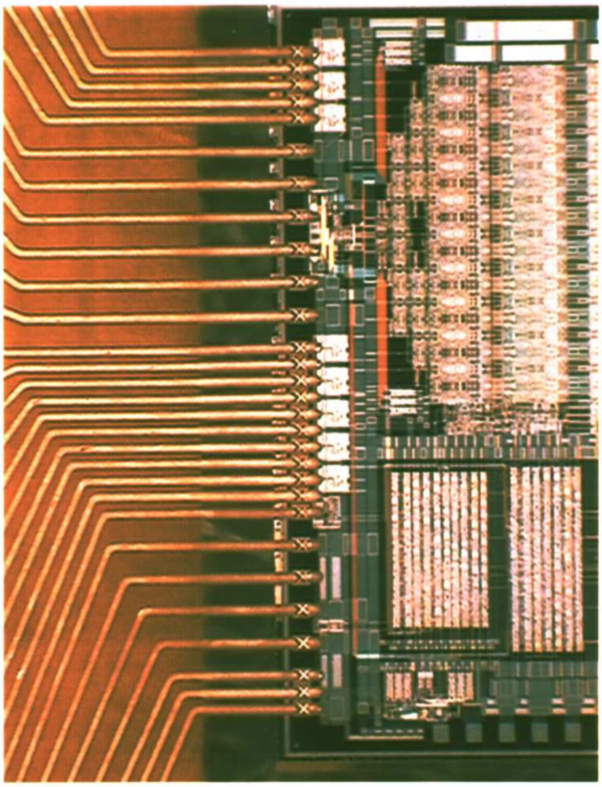


Figure A.1.d : FILING + C.I

L'ensemble PUCE+TAB sur ruban peut être installer, via un support et une carte dédiée, sur le testeur de circuit intégré afin de subir les tests ayant déjà passés sur la puce au niveau des tests de fabrication (tests réalisés sur les puces FILING, sur tranche de silicium, avant découpe) et ainsi valider les soudures.

A.1.2 L'approche PBGA

Le boîtier PBGA (Plastic.Ball.Grid.Array), 480 billes, est un boîtier spécialement conçu pour la transmission de signaux haute fréquence. Le circuit imprimé du boîtier comprend 4 couches : deux sont dédiées au plan de masse et de tension, les deux autres servent au routage des plots fonctionnels.
La figure A.1.e montre une vue en coupe du boîtier retourné :

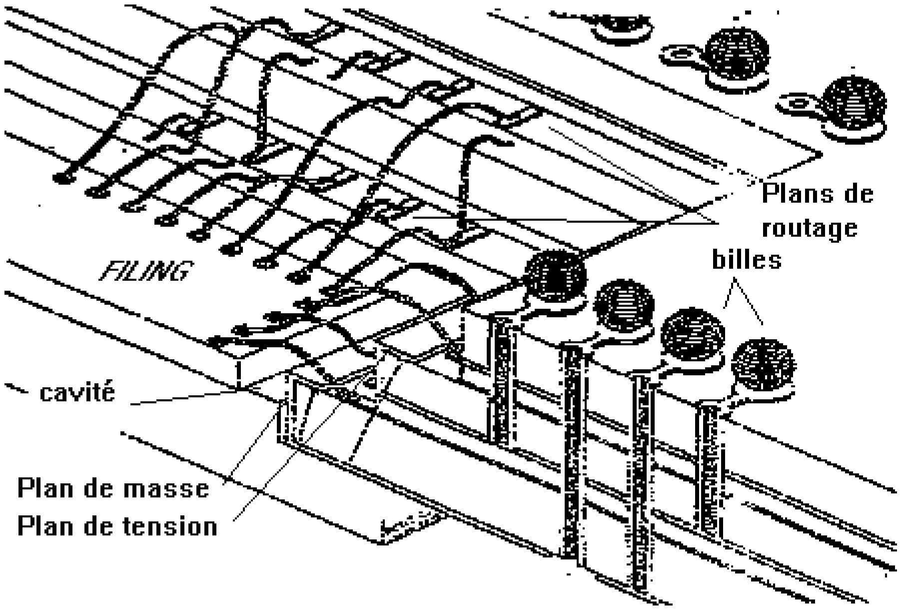


Figure A.1.e : Vue en coupe du boîtier PBGA

On possède donc deux plans de routage pour les connections des plots fonctionnels. Le plan le plus bas (lower deck) est entouré par un plan de masse et un plan d'alimentation. Les billes qui lui sont rattachées sont au plus près de la cavité. Ainsi, les signaux rapides de la liaison série seront reliés à ce plan. L'adaptation à l'intérieur du circuit imprimé (du boîtier) est assurée par l'ajustement de l'épaisseur de la couche (FR4) séparant les plans de masse et de tension à ce plan fonctionnel. La photo A.1.f montre les six circuits FILING montés dans le PBGA :

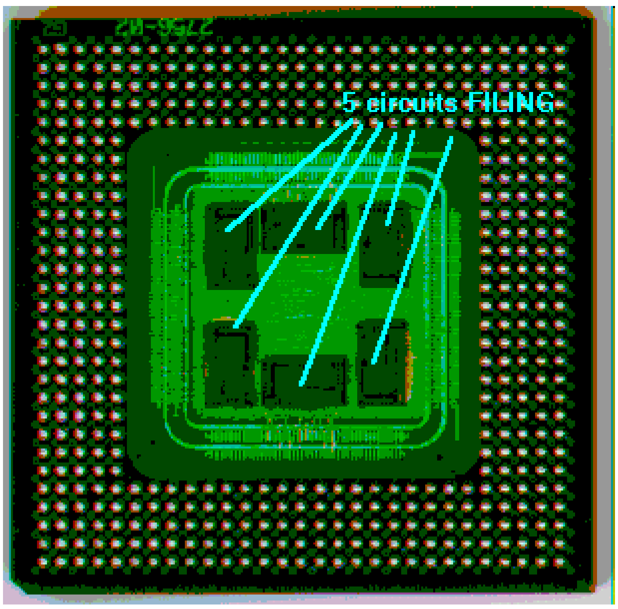


Figure A.1.f : Montage de 6 FILING dans un boîtier PBGA

A.2 Réalisation de la mini-carte FILING

A.2.1 Les circuits imprimés

L'effort dans la réalisation des circuits imprimés a surtout porté sur la qualité de la transmission des signaux rapides SDOUT/SDOUTB, depuis les plots de la puce jusqu'à leurs connecteurs.

La ligne de propagation idéale est une ligne coaxiale (schéma1), de structure cylindrique. Sur le circuit imprimé, la technique de fabrication (par couches laminées) ne peut pas permettre de réaliser une telle ligne, on ne peut donc qu'essayer de s'en approcher[].

Ainsi, la structure la mieux adaptée et réalisant une structure "pseudo-coaxiale" est la structure "strip-line" (schéma 2). On peut la renforcée en véhiculant dans les plans fonctionnels des signaux rattachés au plan de masse et de tension. Cette solution a été retenue pour la réalisation du circuit imprimé du PBGA. Son coût est assez élevé puisqu'il faut que le circuit imprimé possède au moins six couches.

La seconde solution est la structure "microstrip" (schéma 3). Cette structure nécessite moins de couches et sera utilisée pour le montage avec le TAB. L'inconvénient de cette structure est surtout liée à l'effet de peau. En effet, à très haute fréquence les charges dans le conducteur se concentrent sur la périphérie du conducteur, en regard du plan de masse associé []. Ce phénomène engendre une plus grande résistivité du conducteur (conducteur utile) et donc augmente l'atténuation du signal.

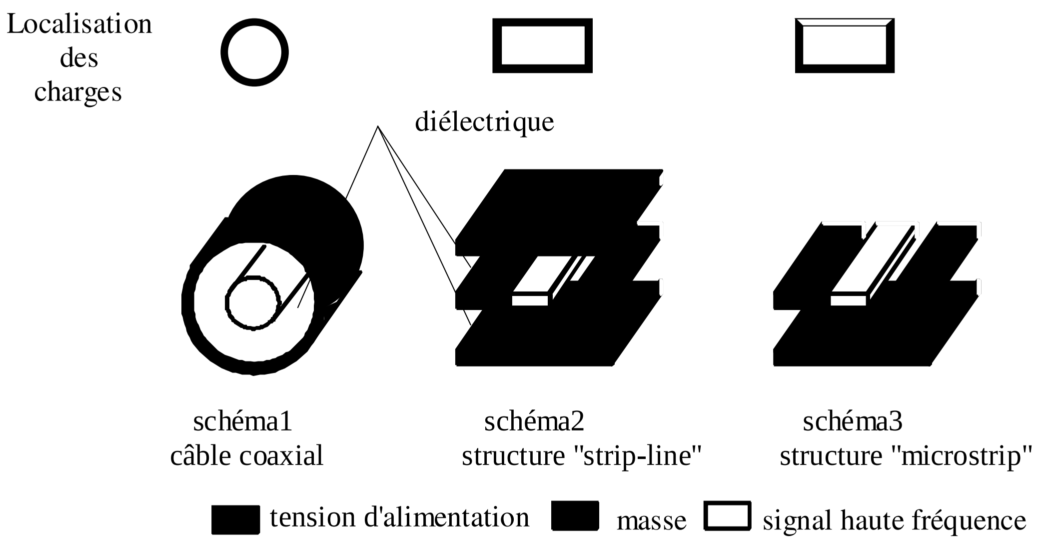


Figure A.2.a : Structure interne du circuit imprimé

A.2.2 La mini-carte FILING

La mini-carte FILING est prévue pour être, elle-même, montée sur une carte support contrôlée, via un programme Labview (National Instrument), par un ordinateur compatible IBM-PC. Ainsi, les entrées basse fréquence du circuit (TEST[2,0], CKM, CKS, SCIN, SCOUT et RESET) et les tensions d'alimentation (VDD= 0 Volt, VSS1= -3.3 Volt et VSS2= -5.2 Volt) sont envoyées vers un connecteur 16 broches.

Les sorties séries SDOUT/SDOUTB et le signal TRIG sont connectées à des connecteurs SMA (connecteurs, à montage en surface, permettant de se connecter à un câble coaxial adapté 50 Ω).

Les horloges de transmission CKTX/CKTXB peuvent être alimentées par un oscillateur à quartz ECL monté sur support ou peut être shunter par un générateur d'horloge externe, via des connecteurs d'entrées SMA (connecteurs à montage en piqué).

Le schéma A.2.b présente l'ensemble de ces éléments. On distingue également des résistances réalisant l'adaptation 50 Ω des lignes et des capacités de découplage pour l'alimentation.

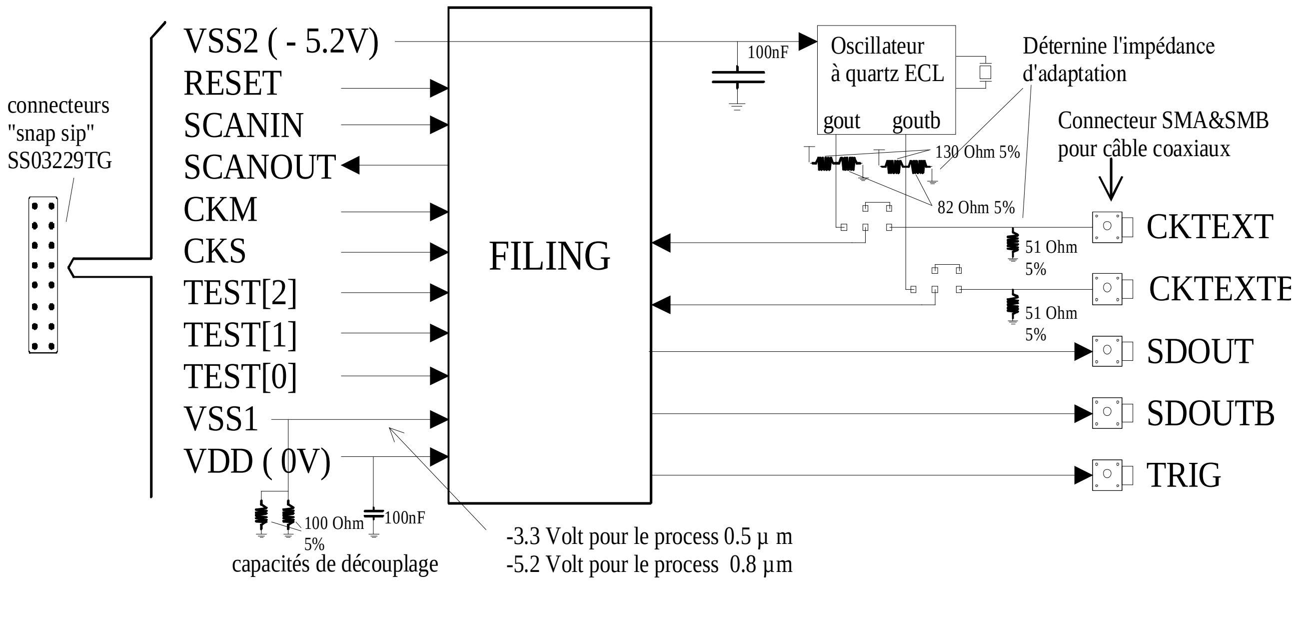


Figure A.2.b : Schéma de la mini-carte FILING

Le choix du matériel utilisé a été guidé par les contraintes liées à la génération des signaux haute fréquence. Ainsi, l'oscillateur à quartz a été pris en technologie ECL pour générer l'horloge de transmission CKTX/CKTXB. Dans cette technologie, les fronts de l'horloge sont en effet plus raides (chez le fabricant KONY les temps de monté et de descente des fronts sont de 1,5 ns (max) en technologie ECL, alors qu'ils atteignent 5 ns (max) en technologie CMOS).

De même, pour venir connecter les signaux SDOUT, SDOUTB et TRIG à des câbles coaxiaux, on a préférer l'utilisation de connecteurs SMA à montage à surface aux connecteurs SMA à montage à piqué. Les connecteurs SMA à piqué traversent le circuit imprimé et les soudures se font sur la face opposée. Le connecteur SMA à surface se monte directement en surface. Le montage sur circuit imprimé est alors nettement plus difficile puisqu'il faut faire fondre les boules de soudures en chauffant le connecteur. L'avantage réside dans une plus faible rupture d'impédance caractéristique.
Dans la photo de la figure A.2.c, on constate que la puce FILING a été retournée pour être montée sur le circuit imprimé. Cette solution a permis de mieux contrôler l'adaptation d'impédance dés la soudure sur les plots de la puce en intercalant une cale d'épaisseur contrôlée. Le fil soudé à l'arrière de la puce est relié directement à la broche VSS1= -3,3 Volt et permet de polariser le substrat de la puce afin d'éviter les phénomènes de "latch-up".

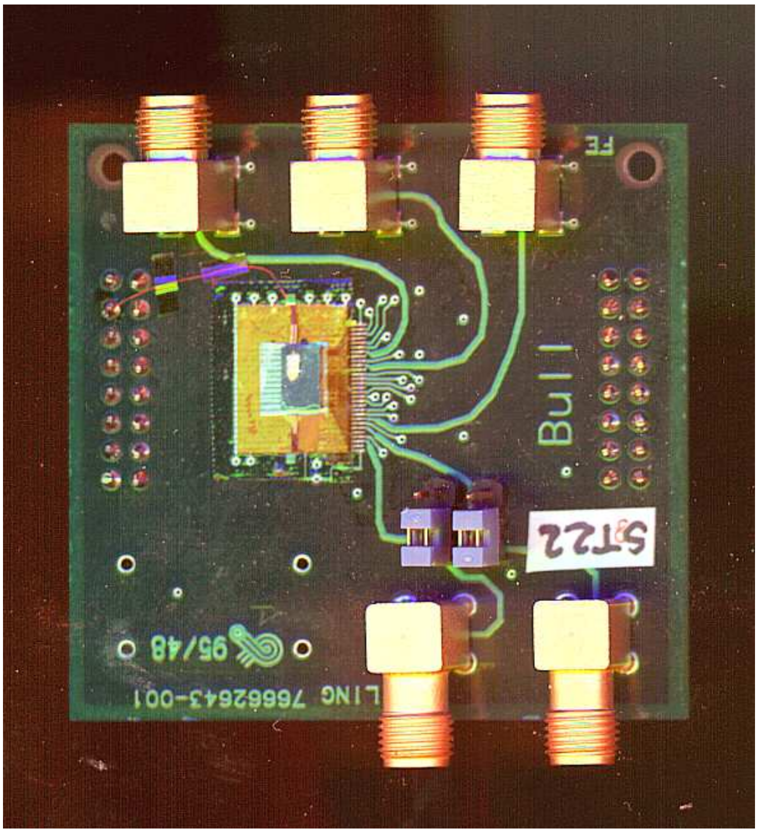


Figure A.2.c : Mini-carte FILING

La consommation de la PUCE n'étant pas négligeable (850 mWatt), une étude a permis de démontrer que la dissipation de thermique naturelle (à travers les plans du circuit imprimé) suffisait. Les résultats de cette étude sont présentés dans l'annexe de ce rapport.

A.3 Matériel de tests utilisé

A.3.1 La maquette de tests

La mini-carte FILING est montée sur une carte support pouvant recevoir jusqu'à 12 mini-cartes. Cette carte reçoit une tension d'alimentation continue de 24 Volt et génère, via des convertisseurs DC-DC, les tensions d'alimentation 0 Volt, -3.3 Volt et -5.2 Volt nécessaires à la mini-carte. Elle contrôle également les entrées CMOS, basse fréquence, de la mini-carte : CKM, CKS, SCANIN, SCANOUT, TEST[2], TEST[1],TEST[0] et RESET.
La carte support est pilotée à partir du programme Labview (National Instrument) sur compatible PC, via un bus parallèle de 50 broches. Le programme développé sur Labview permet d'initialiser le circuit FILING, de lancer les différents modes de fonctionnement, d'accéder aux quatre chemins de données du circuit et de récupérer l'état de la sortie SCANOUT à chaque cycles des horloges de test.

La maquette de tests comprends donc :
- Un logiciel Labview (National Instrument).
- Un ordinateur, compatible IBM PC, équipé d'une carte d'entrée/sortie PC-DIO-96
- Un câble ruban composé de 2 bus parallèles (2 fois 50 broches) : NB-DIC-96.
- Une carte support dédiée

La figure A.3.a présente ce montage :

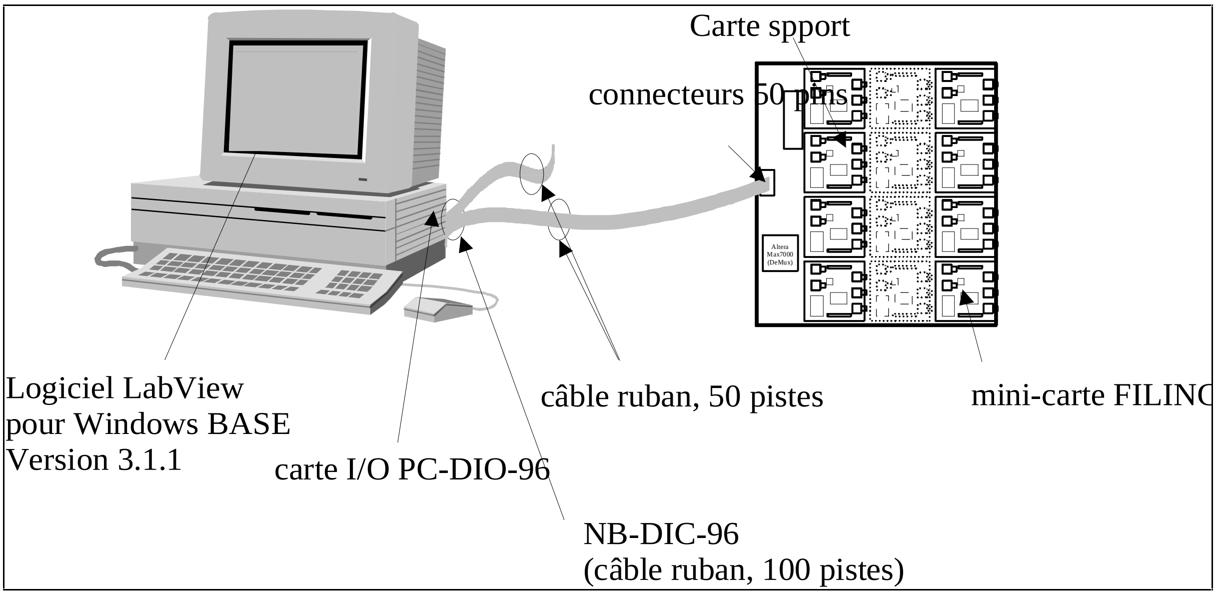


Figure A.3.a: Maquette de tests

A.3.2 Appareils de mesures

Deux oscilloscopes numériques ont été utilisés. Tous deux possèdent une bande passante de 20 GigaHertz (atténuation de 3dB à 20 GigaHertz) et nécessitent un signal de synchronisation externe pour réaliser leurs échantillonnages.
Le premier oscilloscope est un Tektronix 11800 permettant de récupérer les formes d'onde, via un lien GPIB, sur compatible IBM-PC afin de réaliser divers types d'analyses: statistiques, histogrammes afin de déterminer si le *jitter* est du type gaussien (du bruit) ou s'il contient des raies (jitter déterministe dû à des variations de temps de propagation dans la circuiterie), analyse du diagramme de l'oeil, ... etc.
Le second oscilloscope est un Hewlett-Packard 54120A réalisant des mesures avec une précision inférieure à 5 ps. Il a également été utilisé pour réaliser l'ensemble des impressions écrans.
L'horloge de transmission a put être générée via un générateur d'horloge Lecroy.
Deux types de câbles coaxiaux ont été utilisés pour raccorder les signaux rapides à l'oscilloscope et au générateur : des câbles KX22 standards, de différentes longueurs, et des câbles blindés et appairés hyperfréquences. Tous deux sont adaptés 50 Ohm.